

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年8月11日 (11.08.2005)

PCT

(10) 国際公開番号
WO 2005/074036 A1

(51) 国際特許分類⁷: H01L 29/78, 21/336

(21) 国際出願番号: PCT/JP2005/001207

(22) 国際出願日: 2005年1月28日 (28.01.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-024722 2004年1月30日 (30.01.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 黄 例昭 (KOH,
Risho) [CN/JP]; 〒1088001 東京都港区芝五丁目7番
1号 日本電気株式会社内 Tokyo (JP). 田中 克彦
(TANAKA, Katsuhiko) [JP/JP]; 〒1088001 東京都港区
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).
竹内 潔 (TAKEUCHI, Kiyoshi) [JP/JP]; 〒1088001 東
京都港区芝五丁目7番1号 日本電気株式会社内
Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外(MIYAZAKI, Teruo et al.); 〒
1070052 東京都港区赤坂1丁目9番20号 第16興
和ビル8階 Tokyo (JP).

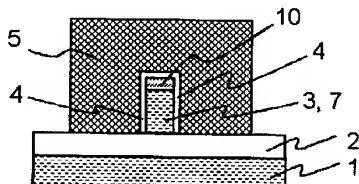
(81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

/続葉有/

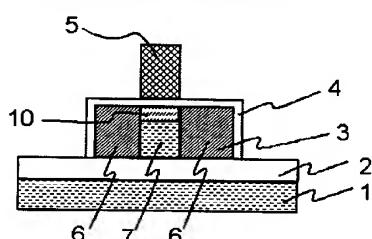
(54) Title: FIELD EFFECT TRANSISTOR AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 電界効果型トランジスタおよびその製造方法

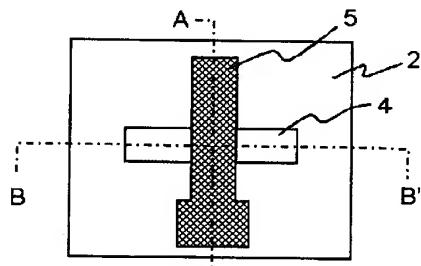
(a) A-A' 断面



(b) B-B' 断面



(c)



(a)... SECTION A-A'
(b)... SECTION B-B'

(57) Abstract: A field effect transistor is characterized by comprising a semiconductor layer projecting upward from a flat surface of a base, a gate electrode arranged on both lateral surfaces of the semiconductor layer, a gate insulating film interposed between the gate electrode and each lateral surface of the semiconductor layer, and source/drain regions wherein an impurity of a first conductivity type is introduced. The field effect transistor is further characterized in that the semiconductor layer has a channel-forming region in a portion between the source region and drain region and the upper part of the semiconductor layer in the channel-forming region has a channel impurity concentration adjusting region wherein the concentration of an impurity of a second conductivity type is higher than the lower part. The field effect transistor is still further characterized in that when in operation and a signal voltage is applied to the gate electrode, a channel is formed in a lateral surface portion of the semiconductor layer in the channel impurity concentration adjusting region which portion is opposite to the gate insulating film.

(57) 要約: 基体平面から突起した半導体層と、その両側面上に設けられたゲート電極と、ゲート電極と半導体層側面の間に介在するゲート絶縁膜と、第1導電型不純物が導入されたソース／ドレイン領域とを有し、前記半導体層は、ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、チャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、このチャネル不純物濃度調整領域は、ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層のゲート絶縁膜に相対する側面部にチャネルが形成されることを特徴とする電界効果型トランジスタ。

WO 2005/074036 A1



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SI, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電界効果型トランジスタおよびその製造方法

技術分野

[0001] 本発明は、電界効果型トランジスタおよびその製造方法に関するものである。

背景技術

[0002] [構造]

最初に、一般的なFinFETの特徴について説明する。電界効果型トランジスタの性能向上を目的に、突起した半導体領域の両側面にゲート電極を設け、半導体領域の両側面にチャネルを形成することを特徴とするFinFETと呼ばれる電界効果型トランジスタが提案されている。その典型的構造を図31、図32に示す。図31は平面図、図32(a)は図31のA-A'断面における断面図、図32(b)は図31のB-B'断面における断面図である。支持基板1上に埋め込み絶縁膜2が設けられ、その上部に半導体層3が設けられる。半導体層3の側面にはゲート絶縁膜4を介してゲート電極5が設けられる(図32(a))。半導体層3のうち、ゲート電極に覆われない部分は高濃度の第一導電型の不純物が導入され、ソース／ドレイン領域6をなす。ゲート電極5に覆われた半導体層3はチャネル形成領域7をなし、ゲート電極に適当な電圧を印加することにより、その表面に第一導電型のキャリアが誘起されてチャネルが形成される。チャネル形成領域には一般には低濃度の第二導電型不純物が導入されるか、あるいは導入されない。

[0003] なお、FinFETにおいて、半導体層の上部にもチャネルが形成される構造(図32)をトライゲート構造と呼ぶ。トライゲート構造のトランジスタにおいては、半導体層上部の絶縁膜厚と半導体側面の絶縁膜厚が同程度であることが特徴である。また、半導体層の上部にチャネルが形成されない構造(図33)をダブルゲート構造と呼ぶ。ダブルゲート構造のトランジスタにおいては、半導体側面の絶縁膜(ゲート絶縁膜4)よりも厚い絶縁膜よりなるキャップ絶縁膜8が半導体層上部に設けられることが特徴である。なお、通常の場合、キャップ絶縁膜8はゲート絶縁膜4を形成する工程とは異なる工程において形成される。なお、従来の形態においては、トライゲート構造の場合、ダ

ブルゲート構造の場合のいずれにおいても、図31のB-B'断面における構造とC-C'断面における構造は同じである。なお、記号34及び35はそれぞれ上部コーナー部及び下部コーナー部を示す。

[0004] 次に、特開平6-302817号公報(以下特許文献1)において開示された技術について、図37、図38を参照して説明する。図37は特許文献1に記載された斜視図である。図38(a)は図31の構造におけるA-A'断面に相当する位置における断面構造を、図38(b)は図31の構造におけるB-B'断面に相当する位置における断面構造を、それぞれ特許文献1をもとに描いたものである。

[0005] 特許文献1の構造においては、p型のバルクシリコン基板上に形成されるnチャネルFinFETにおいて、基板より突出した半導体層3にはソース領域42とドレイン領域43が形成され、ソース領域42とドレイン領域43に挟まれた領域にチャネル形成領域7が形成されている。チャネル形成領域7の上端部にp⁺型の導電層20が形成されている。このため、チャネル形成領域7の上端部はチャネルとして動作せず、その上方のゲート電圧の影響を弱められる。この結果、半導体層上端部にしきい値電圧が低い寄生トランジスタが形成されることを防ぐことができる。なお、特許文献1において「半導体層の上端部」とは、半導体層の上部端面(以下本発明の実施形態においては、「上部端面」を「上端」と記載)から、ある一定の深さまでの領域で、p⁺型の導電層20が形成される部分を指す言葉として用いられている。

[0006] [従来技術の課題]

nチャネルトランジスタを例に、従来のFinFETにおける課題を説明する。ここではnチャネルトランジスタについて説明するが、pチャネルトランジスタにおいては、極性を逆にすれば(例えば、nチャネルトランジスタにおける電位上昇を、pチャネルトランジスタにおいては電位低下と読みかえる。また、nチャネルトランジスタにおけるしきい値電圧の低下を、pチャネルトランジスタにおいてはしきい値電圧の上昇と読みかえる。)同様の議論が成り立つ。

[0007] (第一の課題)

図31のA-A'断面において、半導体層3の上端部の電位分布をシミュレーションした結果を図34(a)、図34(b)に示す。図34(a)はトライゲート構造の場合であり、図3

2(a)の断面に対応するもの、図34(b)はダブルゲート構造であり、図33(a)の断面に対応するものである。図中の等高線は真性半導体シリコンを基準にした等電位線であり、半導体層の中央から外側に向かって、-0.4V、-0.2V、0.0V、0.2V、0.4Vである。チャネル領域の不純物濃度は $8 \times 10^{18} \text{ cm}^{-3}$ 、ゲート電圧はゼロボルト、ゲート酸化膜厚は2nmである。なお、電位は真性半導体シリコンを基準にしているため、ゼロバイアスされているn⁺型シリコンの電位は0.56Vであり、ゼロバイアスされているゲートの電位は0.56Vである。

[0008] ダブルゲート構造、トライゲート構造のいずれにおいても、半導体層の上部コーナー部において等電位線が湾曲している。これは上部コーナー部では、ゲート電極から不純物イオンに向う電界が集中するために、半導体層の他の部分よりも電位が上昇していることを示している。上部コーナー部の電位が上昇すると、上部コーナー部にしきい値電圧が低い寄生トランジスタが形成される。寄生トランジスタが形成されると、図36のようにサブスレッショルド電流が増加し、オフ電流が増加するという問題が生じる。この問題は、半導体層のチャネル形成領域中の第二導電型不純物濃度が高いほど顕著になり、第二導電型不純物濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以上の場合に特に重要になる。

[0009] したがって、半導体層上部コーナー部における電位上昇を抑制し、寄生トランジスタの影響を縮小する技術が望まれる。

[0010] (第二の課題)

トライゲート構造のトランジスタにおいては、半導体層上面23、半導体層上部側面24及び半導体層側面25(それぞれ図39参照)のそれぞれにチャネルが形成され、ドレン電流の経路となる。しかし、特許文献1の技術においては、チャネル形成領域7の上端部にp⁺型の導電層20が形成され、チャネル形成領域7の上端部はチャネルとして動作しないので、図39に示す領域の分類に従えば、半導体層上面23及び半導体層上部側面24にはチャネルが形成されない。このため、チャネルが形成される範囲が減るのでドレン電流が減少するという問題が発生する。

[0011] また、ダブルゲート構造のトランジスタにおいては、半導体層上部側面24及び半導体層側面25(それぞれ図40参照)のそれぞれにチャネルが形成され、ドレン電流

の経路となる。特許文献1には、ダブルゲート構造のトランジスタにおいてチャネル形成領域7の上端部にp⁺型の導電層20を形成する形態は記載されていないが、もしダブルゲート構造のトランジスタにおいてチャネル形成領域7の上端部にp⁺型の導電層20を形成した場合、半導体層上部側面24がチャネルとして動作しないので、トライゲート構造の場合と同様にチャネルが形成される範囲が減るのでドレイン電流が減少するという問題が発生する。

[0012] 従って、半導体層の上部コーナー部の寄生トランジスタを抑制しつつ、寄生トランジスタの抑制に伴うドレイン電流の低下を抑える技術が望まれる。

発明の開示

[0013] 本発明の目的は、ドレイン電流を十分に確保しながら、FinFETの基体平面から突起した半導体層の上部コーナー部における寄生トランジスタの形成を抑制して、素子特性が改善されたFinFETを提供することにある。

[0014] 本発明によれば、下記の電界効果型トランジスタ及びその製造方法を提供することができる。

[0015] (1) 基体平面から上方に突起した半導体層と、この半導体層の両側面上に設けられたゲート電極と、このゲート電極と前記半導体層の側面の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、

前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、このチャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、

このチャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する側面部分にチャネルが形成されることを特徴とする電界効果型トランジスタ。

[0016] (2) 基体平面から上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、このソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、このチャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、このチャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する側面部分にチャネルが形成されることを特徴とする電界効果型トランジスタ。

ス／ドレイン領域とを有し、

前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、このチャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、

このチャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する上面および側面部分にチャネルが形成されることを特徴とする電界効果型トランジスタ。

[0017] (3) 前記チャネル不純物濃度調整領域は、当該半導体層の下方部分の第2導電型不純物濃度と同じ濃度を半導体層上部に有するときに、

nチャネルトランジスタの場合は当該半導体層上部のコーナー部で上昇する電位を低減できる、

pチャネルトランジスタの場合は当該半導体層上部のコーナー部での電位低下を縮小できる、

不純物濃度を有する発明1又は2の電界効果型トランジスタ。

[0018] (4) nチャネルトランジスタの場合は当該半導体層上部のコーナー部で上昇する電位を60mV以上縮小できる、

pチャネルトランジスタの場合は当該半導体層上部のコーナー部での電位低下を60mV以上縮小できる、

不純物濃度を有する発明1、2又は3の電界効果型トランジスタ。

[0019] (5) 前記チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲にある発明1～4のいずれかの電界効果型トランジスタ。

[0020] (6) 前記チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある発明1～4のいずれかの電界効果型トランジスタ。

[0021] (7) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅W_{fin}の0.7倍以下である発明1～6のいずれかの電界効果型トランジスタ。

[0022] (8) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅W_{fin}の7／40倍以上である発明1～7のいずれかの電界効果型トランジスタ。

[0023] (9) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が5～24.5nmの範囲にある発明1～8のいずれかの電界効果型トランジスタ。

[0024] (10) 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いたその他の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である発明1～9のいずれかの電界効果型トランジスタ。

[0025] (11) 前記チャネル不純物濃度調整領域は、前記チャネル形成領域における半導体層上部において基体平面と平行な面内方向全体にわたって設けられている発明1～10のいずれかの電界効果型トランジスタ。

[0026] (12) 前記チャネル不純物濃度調整領域として、前記チャネル形成領域における半導体層上部において、当該半導体層のコーナー部の少なくとも一部を含むように当該チャネル不純物濃度調整領域を有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つ発明1～10のいずれかの電界効果型トランジスタ。

[0027] (13) 前記チャネル形成領域における半導体層の上部において、一方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第1チャネル不純物濃度調整領域と、他方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のソース／ドレイン領域間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明12の電界効果型トランジスタ。

[0028] (14) 前記チャネル形成領域における半導体層の上部において、一方のソース／ド

レイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のコーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明12の電界効果型トランジスタ。

[0029] (15) 前記チャネル形成領域における半導体層の上部において、一方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられたチャネル不純物濃度調整領域を有し、
前記チャネル不純物濃度調整領域と他方のソース／ドレイン領域との間にはチャネル不純物濃度調整領域を有しない発明12の電界効果型トランジスタ。

[0030] (16) 前記チャネル形成領域における半導体層の上部において、一方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第2チャネル不純物濃度調整領域と、一方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第3チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第4チャネル不純物濃度調整領域とを有し、さらにこれらのチャネル不純物濃度調整領域が互いに分離するように一対のソース／ドレイン領域間および一対の第1／第2コーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明12の電界効果型トランジスタ。

[0031] (17) 前記チャネル形成領域における半導体層の上部において、第一のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、前記第一のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第2チャネル不純物濃度調整領域を有し、
前記第1チャネル不純物濃度調整領域と前記第2チャネル不純物濃度調整領域との間には、チャネル不純物濃度調整領域を有しない部分を持ち、

第一のソース／ドレイン領域に対向する第二のソース／ドレイン領域の近傍にはチャネル不純物濃度調整領域を有しないことを特徴とする、発明12の電界効果型トランジスタ。

[0032] (18) 基体平面から上方に突起した半導体層と、この半導体層の両側面上に設けられたゲート電極と、このゲート電極と前記半導体層の側面の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、

前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、当該ソース／ドレイン領域に挟まれた部分における半導体層上部において、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を当該半導体層のコーナー部の少なくとも一部を含むように有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つことを特徴とする不純物濃度を有する電界効果型トランジスタ。

[0033] (19) 基体平面から上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、

前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、当該ソース／ドレイン領域に挟まれた部分における半導体層上部において、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を当該半導体層のコーナー部の少なくとも一部を含むように有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つことを特徴とする不純物濃度を有する電界効果型トランジスタ。

[0034] (20) 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第1チャネル不純物濃度調整領域と、他方のコーナ

一部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のソース／ドレイン領域間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明18又は19の電界効果型トランジスタ。

[0035] (21) 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のコーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明18又は19の電界効果型トランジスタ。

[0036] (22) 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられたチャネル不純物濃度調整領域を有し、
前記チャネル不純物濃度調整領域と他方のソース／ドレイン領域との間にはチャネル不純物濃度調整領域を有しない、発明18又は19の電界効果型トランジスタ。

[0037] (23) 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第2チャネル不純物濃度調整領域と、一方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第3チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第4チャネル不純物濃度調整領域とを有し、さらにこれらのチャネル不純物濃度調整領域が互いに分離するように一対のソース／ドレイン領域間および一対の第1／第2コーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ発明18又は19の電界効果型トランジスタ。

[0038] (24) 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、第一のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、前記第一のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第2チャネル不純物濃度調整領域を有し、前記第1チャネル不純物濃度調整領域と前記第2チャネル不純物濃度調整領域との間には、チャネル不純物濃度調整領域を有しない部分を持ち、第一のソース／ドレイン領域に対向する第二のソース／ドレイン領域の近傍にはチャネル不純物濃度調整領域を有しないことを特徴とする、発明18又は19の電界効果型トランジスタ。

[0039] (25) 前記チャネル不純物濃度調整領域は、当該チャネル不純物濃度調整領域を含む基体平面に垂直な断面において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲にある発明18又は19の電界効果型トランジスタ。

[0040] (26) 前記チャネル不純物濃度調整領域は、当該チャネル不純物濃度調整領域を含む基体平面に垂直な断面において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある発明18又は19の電界効果型トランジスタ。

[0041] (27) 前記チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分の半導体層における基体平面に垂直な線上において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲にある濃度分布を有する発明18又は19の電界効果型トランジスタ。

[0042] (28) 前記チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分の半導体層における基体平面に垂直な線上において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃

度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある濃度分布を有する発明18又は19の電界効果型トランジスタ。

[0043] (29) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さHtopが、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの0.7倍以下である発明18～28のいずれかの電界効果型トランジスタ。

[0044] (30) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さHtopが、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7/40倍以上である発明18～28のいずれかの電界効果型トランジスタ。

[0045] (31) 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さHtopが5～24.5nmの範囲にある発明18～28のいずれかの電界効果型トランジスタ。

[0046] (32) 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いたその他の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である発明18～31のいずれかの電界効果型トランジスタ。

[0047] (33) 前記半導体層は、当該半導体層上部に設けられた前記チャネル不純物濃度調整領域である上部チャネル不純物濃度調整領域と、この上部チャネル不純物濃度調整領域の下方に設けられた、上部チャネル不純物濃度調整領域より第2導電型不純物濃度が低い中部チャネル形成領域と、この中部チャネル形成領域下方の半導体層下部に設けられた、中部チャネル形成領域より第2導電型不純物濃度が高い下部チャネル不純物濃度調整領域とを有する発明1、2、18又は19の電界効果型トランジスタ。

[0048] (34) 前記下部チャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該下部チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する側面部分にチャネルが形成される発明33の電界効果型トランジスタ。

[0049] (35) 前記下部チャネル不純物濃度調整領域は、前記中部チャネル形成領域の第2導電型不純物濃度と同じ濃度を半導体層下部に有するときに当該半導体層下部

のコーナー部で上昇する電位を低減できる不純物濃度を有する発明33又は34の電界効果型トランジスタ。

- [0050] (36) 前記下部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル形成領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下である発明33、34又は35の電界効果型トランジスタ。
- [0051] (37) 前記上部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル形成領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下である発明36の電界効果型トランジスタ。
- [0052] (38) 前記下部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下である発明33、34又は35の電界効果型トランジスタ。
- [0053] (39) 前記上部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下である発明38の電界効果型トランジスタ。
- [0054] (40) 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な前記半導体層の幅Wfinの0.7倍以下である発明33～39のいずれかの電界効果型トランジスタ。
- [0055] (41) 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な前記半導体層の幅Wfinの0.7倍以下である発明40の電界効果型トランジスタ。
- [0056] (42) 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7/40倍以上である発明33～40のいずれかの電界効果型トランジスタ。
- [0057] (43) 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7/40倍以上である発明42の電界効果型トランジスタ。
- [0058] (44) 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方へ

の高さHtop2が5～24. 5nmの範囲にある請求項33～43のいずれかの電界効果型トランジスタ。

- [0059] (45) 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が5～24. 5nmの範囲にある発明44の電界効果型トランジスタ。
- [0060] (46) 前記下部チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分における半導体層下部において基体平面と平行な面内方向全体にわたって設けられている発明33～45のいずれかの電界効果型トランジスタ。
- [0061] (47) 前記下部チャネル不純物濃度調整領域として、前記ソース／ドレイン領域に挟まれた部分における半導体層下部において、当該半導体層のコーナー部の少なくとも一部を含むように当該チャネル不純物濃度調整領域を有し、さらに当該下部チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該下部チャネル不純物濃度調整領域を有しない部分を持つ発明33～45のいずれかの電界効果型トランジスタ。
- [0062] (48) 前記チャネル形成領域のうち前記上部チャネル不純物濃度調整領域と前記下部チャネル不純物濃度調整領域を除いたその他の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である発明33～47のいずれかの電界効果型トランジスタ。
- [0063] (49) 前記半導体層の上部と前記ゲート電極との間に、当該半導体層の上面にチャネルが形成されないように前記ゲート絶縁膜よりも厚いキャップ絶縁膜が設けられた発明1又は18の電界効果型トランジスタ。
- [0064] (50) 前記の突起した半導体層の下には支持基板を有し、当該半導体層はこの支持基板と一体に接続している発明1～49のいずれかの電界効果型トランジスタ。
- [0065] (51) 前記の突起した半導体層の下には支持基板を有し、当該半導体層はこの支持基板上に埋め込み絶縁膜を介して設けられている発明1～49のいずれかの電界効果型トランジスタ。
- [0066] (52) 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いた領域において、半導体層側面の電位が半導体層中心部の電位に対して、nチャネルトランジスタの場合は120mV以上上昇し、pチャネルトランジスタの場合は120mV以

上低下していることを特徴とする、発明1ー51のいずれかの電界効果型トランジスタ。

[0067] (53) 発明1又2の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、このゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ゲート電極下の半導体層の上部にチャネル不純物濃度調整領域を形成する工程を有する電界効果型トランジスタの製造方法。

[0068] (54) ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする発明53の電界効果型トランジスタの製造方法。

[0069] (55) ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする発明53の電界効果型トランジスタの製造方法。

[0070] (56) 発明1又は2の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う第一の斜めイオン注入工程と、前記ゲート電極をマスクとして当該半導体層の両側面のそれぞれに対して、当該ゲート電極の両側からそれぞれ基体平面に対して斜めに、また基体平面に垂直でチャネル長方向に平行な平面に対しては前記第一の斜めイオン注入工程よりも大きな角度で、第2導電型不純物のイオン注入を行う第二の斜めイオン注入工程を有する電界効果型トランジスタの製造方法。

[0071] (57) 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする、発明56の電界効果型ト

ランジスタの製造方法。

[0072] (58) 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする、発明56の電界効果型トランジスタの製造方法。

[0073] (59) 発明1又は2の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐようにダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクとして当該ダミーゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ダミーゲート電極下の半導体層の上部にチャネル不純物濃度調整領域を形成する工程と、前記ダミーゲート電極をマスクとして当該半導体層に第1導電型不純物を導入してソース／ドレイン領域を形成する工程と、前記ダミーゲート電極を埋め込むように厚い絶縁膜を形成する工程と、前記ダミーゲート電極を除去し、形成された空隙内にゲート絶縁膜を介して導電性材料を埋め込んでゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[0074] (60) 発明1又は2の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層の上部に第2導電型不純物を導入して前記チャネル不純物濃度調整領域を形成する工程と、この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[0075] (61) 発明1又は2の電界効果型トランジスタの製造方法であって、半導体層に第2導電型不純物を導入して、当該半導体層の上部にその下方部分より第2導電型不純物の濃度が高いチャネル不純物濃度調整領域を形成する工程と、前記半導体層をパターニングして、上部に第2導電型不純物の前記チャネル不純物濃度調整領域を有する基体平面から突起した半導体層を形成する工程と、

この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[0076] (62) 発明20の電界効果型トランジスタの製造方法であって、
半導体層上にマスクパターンを形成する工程と、
前記マスクパターンをマスクとして当該マスクパターンの両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該マスクパターンの周縁近傍において、当該マスクパターンの下部の半導体層に第2導電型不純物を導入する工程と、
前記マスクパターンをマスクとして当該半導体層をパターニングし、前記第2導電型不純物領域からなる第1及び第2のチャネル不純物濃度調整領域を上部に有する基体平面から突起した半導体層を形成する工程と、
この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[0077] (63) 発明21の電界効果型トランジスタの製造方法であって、
半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、
この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ゲート電極下部の半導体層の上部に当該ゲート電極の一対の辺に沿って互いに分離した第1及び第2のチャネル不純物濃度調整領域を形成する工程を有する電界効果型トランジスタの製造方法。

[0078] (64) ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする発明63の電界効果型トランジスタの製造方法。

[0079] (65) ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする発明63の電界効果型トランジスタの製造方法。

[0080] (66) 発明23の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う第一の斜めイオン注入工程と、前記ゲート電極をマスクとして当該半導体層の両側面のそれぞれに対して、当該ゲート電極の両側からそれぞれ基体平面に対して斜めに、また基体平面に垂直でチャネル長方向に平行な平面に対しては前記第一の斜めイオン注入工程よりも大きな角度で、第2導電型不純物のイオン注入を行う第二の斜めイオン注入工程を有する電界効果型トランジスタの製造方法。

[0081] (67) 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする、発明66の電界効果型トランジスタの製造方法。

[0082] (68) 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを行なうことを特徴とする、発明66の電界効果型トランジスタの製造方法。

[0083] (69) 発明33の電界効果型トランジスタの製造方法であって、半導体層に第二導電型不純物を導入して第2導電型不純物層を形成する工程と、前記半導体層上に、前記第2導電型不純物層より低い第2導電型不純物濃度を有する半導体層をエピタキシャル成長させる工程と、このエピタキシャル成長半導体層および前記第2導電型不純物層をパターニングして、当該第2導電型不純物層からなる下部チャネル不純物濃度調整領域を有する基体平面から突起した半導体層を形成する工程を有する電界効果型トランジスタの製造方法。

[0084] なお、本発明において「基体平面」あるいは「基板平面」とは基板に平行(水平)な任意の平面を意味する。

[0085] 基板とは、突起した半導体層を支持する構造物をいい、通常はSOI基板、バルク半導体基板などの半導体基板である。半導体層の全体が突起形状に加工された後

のSOI基板においては、埋め込み絶縁層と支持基板よりなる構造が基板を成す。

[0086] 基板に平行な方向とは、基板が延在する方向に平行な方向である。本明細書に記載した実施形態においては、突起した半導体層を形成する工程よりも前の半導体層の表面に平行な方向、または突起した半導体層を形成する工程よりも前のバルク半導体基板の表面に平行な方向に一致する。また、通常FinFETはSOI基板、バルク半導体基板等の半導体ウェハ上に形成されるので、通常はウェハ面に平行な方向である。

また、チャネル長方向とは、二つのソース／ドレイン領域を結ぶ方向である。

[0087] 本発明によれば、基板上に突起した半導体層の側面にチャネルが形成される電界効果型トランジスタにおいて、半導体層上部コーナーに形成される寄生トランジスタを抑制することができる。

[0088] また、本発明によれば、半導体層上部コーナーに形成される寄生トランジスタを抑制すると同時に、半導体層上部側面に、またトライゲート構造の場合はさらに半導体層上面に、チャネルを形成することにより、半導体層の上部をチャネルとして使用することが可能となり、チャネルが形成される領域が増し、ドレインに流入する電流が増すので、オン電流が増加する。

[0089] また、本発明によれば、半導体層上部コーナーに形成される寄生トランジスタを抑制すると同時に、半導体層を完全空乏化させることができる。

[0090] また、本発明によれば、半導体層上端において、上部コーナーにおける寄生トランジスタの抑制に必要な一部の領域においてのみ不純物濃度を高くすることにより、不純物濃度が高い領域を除いた半導体層上端部にチャネルが形成されやすくなり、チャネル抵抗が低減されるので、ドレインに流入する電流が増すので、オン電流が増加する。

[0091] また、本発明によれば、半導体層の上端及び下端の両方において、不純物濃度が適度に高い領域を設けるので、半導体層の上部コーナーに形成される寄生トランジスタ及び半導体層の下部コーナーに形成される寄生トランジスタの双方を抑制することができる。

[0092] また、本発明によれば、上記効果が得られる電界効果型トランジスタを製造する方

法を提供することができる。

図面の簡単な説明

[0093] [図1]第一実施形態を説明する断面図
[図2]第一実施形態を説明する断面図及び平面図
[図3]第一実施形態を説明する断面図及び平面図
[図4]第一実施形態を説明する断面図
[図5]第一実施形態を説明する平面図
[図6]第一実施形態を説明する断面図及び平面図
[図7]第一実施形態を説明する断面図及び平面図
[図8]第一実施形態を説明する断面図及び平面図
[図9]発明の効果を説明する図面
[図10]発明の効果を説明する図面
[図11]第二実施形態を説明する平面図
[図12]第二実施形態を説明する平面図
[図13]第二実施形態を説明する平面図
[図14]第二実施形態を説明する断面図及び平面図
[図15]第二実施形態を説明する断面図及び平面図
[図16]第二実施形態を説明する断面図及び平面図
[図17]第二実施形態を説明する断面図
[図18]第二実施形態を説明する断面図及び平面図
[図19]第二実施形態を説明する断面図
[図20]第二実施形態を説明する断面図及び平面図
[図21]第二実施形態を説明する断面図
[図22]第三実施形態を説明する断面図
[図23]第三実施形態を説明する断面図
[図24]第三実施形態を説明する断面図及び平面図
[図25]第三実施形態を説明する断面図及び平面図
[図26]第三実施形態を説明する断面図

- [図27]第三実施形態を説明する平面図
- [図28]第三実施形態を説明する平面図
- [図29]第三実施形態を説明する平面図
- [図30]第三実施形態を説明する平面図
- [図31]従来の技術を説明する平面図
- [図32]従来の技術を説明する断面図
- [図33]従来の技術を説明する断面図
- [図34]従来の技術における課題の説明図
- [図35]従来の技術を説明する断面図
- [図36]従来の技術における課題の説明図
- [図37]従来の技術を説明する斜視図
- [図38]従来の技術を説明する断面図
- [図39]従来の技術における問題点を説明する断面図
- [図40]従来の技術における問題点を説明する断面図
- [図41]第四実施形態を説明する断面図
- [図42]第四実施形態を説明する断面図及び平面図
- [図43]第四実施形態を説明する断面図及び平面図
- [図44]第四実施形態を説明する断面図
- [図45]第四実施形態を説明する断面図及び平面図
- [図46]第四実施形態を説明する断面図及び平面図
- [図47]第四実施形態を説明する断面図及び平面図
- [図48]第四実施形態を説明する断面図及び平面図
- [図49]第四実施形態を説明する断面図及び平面図
- [図50]第四実施形態を説明する断面図及び平面図
- [図51]第四実施形態を説明する断面図
- [図52]第四実施形態を説明する断面図及び平面図
- [図53]第四実施形態を説明する断面図
- [図54]第四実施形態を説明する断面図及び平面図

- [図55]第四実施形態を説明する断面図
- [図56]第四実施形態を説明する断面図
- [図57]第四実施形態を説明する断面図及び平面図
- [図58]第四実施形態を説明する断面図及び平面図
- [図59]第四実施形態を説明する断面図
- [図60]突起した半導体層の幅Wfinと電界集中が起きる半導体層の深さHcornerの関係を示す図
- [図61]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図62]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図63]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図64]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図65]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図66]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図67]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図68]突起した半導体層におけるチャネル不純物濃度調整領域の深さHtopの定義を説明する図
- [図69]本発明の好ましい実施形態を説明する図
- [図70]本発明の好ましい実施形態を説明する図
- [図71]第二実施形態の効果を説明する図
- [図72]第二実施形態の効果を説明する図
- [図73]本発明の実施形態を説明する平面図

[図74]第五実施形態を説明する断面図
[図75]第五実施形態を説明する断面図
[図76]第五実施形態を説明する断面図
[図77]第五実施形態を説明する断面図
[図78]第一実施形態を説明する断面図及び平面図
[図79]本発明の実施形態を説明する断面図
[図80]第五実施形態を説明する断面図
[図81]第二実施形態を説明する平面図
[図82]第二実施形態を説明する平面図
[図83]発明の効果を説明する図面
発明を実施するための最良の形態

[0094] (第一実施形態)

[構造]

第一実施形態について、図4および図5を参照して説明する。なお、図4(a)は図5のA-A'断面における断面図であり、従来例を示す図31のA-A'断面に相当する位置における断面図である。図4(b)は図5のB-B'断面における断面図であり、従来例を示す図31のB-B'断面に相当する位置における断面図である。

[0095] 本実施形態においては基板から上方に突起した半導体層3が設けられ、半導体層の側面にはゲート絶縁膜4を介してゲート電極5が設けられる。ゲート電極5は適当な寸法にパターニングされており、ゲート電極5に覆われない位置の半導体層3には第一導電型の不純物が高濃度に導入されたソース／ドレイン領域6が形成される。ゲート電極5に覆われた半導体層であるチャネル形成領域7には、低濃度の第二導電型不純物が導入され、ゲート電極5に適当な電圧を印加することにより第一導電型のキャリアよりも高濃度の第二導電型不純物が導入される。ゲート電極5及びソース／ドレイン領域6にはコントラクト17を介して配線18が接続される。

[0096] チャネル形成領域7をなす半導体層3の上端からある範囲にわたって設けられるチャネル不純物濃度調整領域10は、チャネル不純物濃度調整領域10を除く半導体層3よりも高濃度の第二導電型不純物が導入される。但し、このチャネル不純物濃度調

整領域10に導入される不純物の濃度は、ソース／ドレインなどの高濃度領域に導入される不純物の濃度より低い。チャネル不純物濃度調整領域の不純物濃度は、半導体層の上部コーナー部の電位上昇を抑制し、かつチャネル不純物濃度調整領域の上面及び側面に、ゲート電圧の印加とともにチャネルが形成される程度の濃度に調整される。

[0097] 第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntopは、典型的には半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値Nの1.3倍から4倍の範囲になる。より典型的には、半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値Nの1.5倍から3倍の範囲になる。

[0098] あるいは、半導体層の上部及び側面の界面から1nmの範囲を除外して求めた、半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、同じく半導体層の上部及び側面の界面から1nmの範囲を除外して求めた、半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲にある。ここで半導体層の上部及び側面の界面から1nmの範囲を除外する理由は、半導体層の上部及び側面の界面付近では偏析作用により不純物濃度が極めて急峻に変化すること、またこのように濃度が急峻に変化している領域は狭いため電気特性に与える影響が少ないことを考慮し、不純物濃度が極めて急峻に変化する領域の典型的な幅である1nmの範囲を除外することによる。

[0099] またチャネル不純物濃度調整領域の不純物濃度は、チャネル不純物濃度調整領域が設けられない場合に比べて(すなわちチャネル不純物濃度調整領域の不純物濃度を上記Nで置き換えた場合に比べて)半導体層上部のコーナー部での電位上昇を低減できるNtopとNとの関係を満たすように設定される。この時、半導体層上部のコーナー部での電位上昇低減量は、典型的には半導体層上部コーナー部の少なぐとも一部の領域で、60mV以上(60mVの低減は寄生トランジスタによる漏れ電流が一桁減少する条件に相当。)の低減であることが望ましい。

[0100] 本発明は典型的には半導体層の上部コーナー部の少なくとも一部の領域で、電界集中による電位上昇を60mV以上低減するものであるので、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層の上部コーナー部の少なくとも一部の領域で60mV以上の電位上昇が起きてしまうトランジスタの特性を改善するために適用される。

[0101] 図83に上部コーナー部における電位上昇量 V_{corner} (図中黒丸)、上部コーナー部よりも下部における半導体層側面の半導体層中心部に対する電位差 V_{side} (図中白丸)のそれぞれと、半導体層3中の第二導電型不純物濃度の平均値との関係を、チャネル形成領域において計算した結果を示す。計算は、図32(a)、図34(a)の断面に相当する位置に対して行った(図83(a)参照)。

[0102] 点 p_{corner} は半導体層の上部コーナー部において、電位が最も高い位置(一般には角部であるが、角の丸められた場合は各位置の電位の比較から決まる。)を示す。点 p_{side} は電界集中が起こらない垂直方向(垂直方向とは、図の縦方向。)の位置における半導体層側面の位置(上部コーナー部よりも下の部分における半導体層の側面。半導体側面で、電位の垂直方向依存性がほぼゼロになる位置か、それが無い場合は半導体層の側面で電位が最低になる位置をとる)を示す。点 p_{center} は点 p_{side} と垂直方向の位置が同じで、半導体層の幅方向(W_{fin} 方向、図の横方向)において中心となる位置である。上部コーナー部における電位上昇量 V_{corner} は点 p_{corner} の電位から点 p_{side} の電位を引いた値であり、上部コーナー部よりも下部における半導体層側面の半導体層中心部に対する電位差 V_{side} は、点 p_{side} の電位から点 p_{center} の電位を引いた値である。半導体層の幅は30nm、ゲート酸化膜厚は2nm、ゲート電圧は0Vとして計算を行った。第二導電型のネット不純物濃度は半導体層中で一定とした。なお、半導体層側面の垂直方向に対して点 p_{side} の電位は最小値のまま変化しないが、同じ垂直方向位置の点 p_{center} の電位が変化する場合、点 p_{center} の電位が最小になる垂直方向位置を選択する。

[0103] 本発明は、典型的には、前述のようにチャネル不純物濃度調整領域が設けられない場合に V_{corner} が60mV以上となるトランジスタの特性を改善するために適用されるが、図83(b)から、 V_{side} は V_{corner} の2倍であるという関係があると言えるので、本

発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合にV_{side}が120mV以上となるトランジスタの特性を改善するために適用される。

[0104] また、チャネル不純物濃度調整領域は典型的には電位が上昇する上部コーナー部よりも浅く設けられ、チャネル不純物濃度調整領域を設けることが、上部コーナー部よりも下部の領域における水平方向の電位差であるV_{side}に与える影響は小さいので、本実施形態のトランジスタは、典型的にはV_{side}が120mV以上であるという特徴を持つ。但し、本実施形態のトランジスタにおけるpsideとは、チャネル不純物濃度調整領域の下部に位置する半導体層(チャネル形成領域のうちチャネル不純物濃度調整領域を除いた部分)の側面で、半導体側面での電位の垂直方向依存性がほぼゼロになる位置か、それが無い場合はチャネル形成領域のうちチャネル不純物濃度調整領域の下部に位置する領域の側面で電位が最低になる位置である。なお、短チャネルのトランジスタで、pside、pcorner、pcenterの電位がゲート長方向の位置に依存して変化する場合は、pcenterの電位が最も小さい位置の断面における電位を選ぶ。pcenterの電位がゲート長方向のある領域にわたって最小値をとる場合は、その中でpsideの電位が最も小さい位置の断面における電位を選ぶ。pcenterの電位と、psideの電位とともにそれぞれ最小値をとる領域がゲート長方向のある領域にわたって存在するときは、その中でpcornerの電位が最も小さい位置の断面における電位を選ぶ。三者がそれぞれ最小値をとる領域がゲート長方向のある領域にわたって存在するときは、その領域中の任意の位置の断面において電位を評価する。また、電位と電位差の評価は線形領域(ドレイン電圧が低い領域で、典型的にはドレイン電圧が0.05V)のサブスレッショルド領域(通常、ゲート電圧がしきい値電圧より0.1~0.4V低い条件であり、典型的にはゲート電圧がゼロV)において行う。なお、以上pside、pcorner、pcenter、Vcorner、V_{side}に関する議論はnチャネルトランジスタを例に説明したがpチャネルトランジスタの場合は、極性が逆である。

[0105] また、V_{side}が120mV以上となるのは、不純物濃度が $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上の場合であるので、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層中の不純物濃度の平均値が $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、従って本実施形態のトランジスタにおいて、第二

導電型のチャネル形成領域のうちチャネル不純物濃度調整領域を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上である。

[0106] また、通常短チャネル(典型的にはゲート長 $0.1 \mu\text{m}$ 以下)のトランジスタでは、Vcorner、Vsideは少し小さくなることを考慮すると、短チャネルのトランジスタに対しては、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層中の不純物濃度の平均値が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、従って短チャネルの本実施形態のトランジスタにおいて、第二導電型のチャネル形成領域のうちチャネル不純物濃度調整領域を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上である。

[0107] 但し、本明細書において以下の用語は以下の意味に用いる。「第二導電型のネット不純物濃度」とは、第二導電型不純物濃度(nチャネルトランジスタの場合は活性化したアクセプタイオノンの濃度)から第一導電型の不純物濃度(nチャネルトランジスタの場合は活性化したドナーの濃度)を引いた値をいう。また、「第二導電型であるチャネル形成領域」とは、半導体層3のうちゲート電極に覆われた領域で第二導電型の領域、半導体層3のうちソース／ドレイン領域に挟まれた領域で第二導電型の領域、の二つの領域のうちで、その体積が他者よりも大きくないうほうの領域を言う。但し、「第二導電型の領域」とは、活性化した第二導電型不純物の濃度が、活性化した第一導電型不純物の濃度を上回る領域をいう。通常のFinFETにおいては、ソース／ドレイン領域の端部がゲート電極に覆われているため、「ゲート電極に覆われた領域で第二導電型の領域」と「ソース／ドレイン領域に挟まれた領域で第二導電型の領域」は同義であるが、両者が異なる場合には、両者のうち体積が小さい領域を上述のように「第二導電型であるチャネル形成領域」とする。また、第一導電型とはソース／ドレイン領域の導電型を、第二導電型とはソース／ドレイン領域とは異なる導電型をいう。

[0108] チャネル不純物濃度調整領域10の深さHtopは、通常は半導体層の高さHfin(図32、図33参照)の半分以下である。但し、Hfinが非常に小さいトランジスタ(典型的にはHfinが40nm以下)では、HtopはHfinの半分以上であっても良い。

[0109] また、チャネル不純物濃度調整領域10は半導体層のうち、電界集中により半導体層の電位上昇が起きる領域(Hcornerと記す。典型的には、寄生トランジスタによる漏れ電流における1桁の増加に相当する、60mV以上の電位上昇がある領域。)に設けられることが望ましい。これについて図69を参照して説明する。チャネル不純物濃度調整領域10の深さHtopがHcornerを越えた場合には、電位分布が図69の曲線(c)のようになり、電位を低下させる作用が強くなりすぎ、半導体側面の電位が下がりすぎる。電位が下がりすぎるとチャネルの形成が阻害されるので、ドレイン電流が低下するという問題が発生する。従って、HtopはHcornerよりも小さいことが好ましい。

[0110] そこで、Hcornerの大きさについて計算より求めた。図60は、半導体層の幅Wfin(図32、図33参照)と電界集中が起きる深さHcornerの関係を示すシミュレーション結果である。ここで深さとは、基体平面に垂直な方向に沿った半導体層上端からその下方の任意の点までの長さをいう。Hcornerは、トライゲート構造のFinFETの半導体層側面における電位が、側面における最低値(通常は半導体層の高さHfinの半分よりも深い位置における電位)から60mV以上(寄生トランジスタによって漏れ電流が1桁増加する電位に相当)上昇する領域の深さとした。半導体層のチャネル形成領域中において、第二導電型不純物の濃度は均一とした。Wfinを変えてもしきい値電圧が変化しないように、各WfinのFinFETのチャネル形成領域における、第二導電型不純物の濃度はWfinに反比例するように設定した。この図においてHcornerはWfinに比例しており(比例係数0.7)、半導体層の幅Wfinの0.7倍の深さまで電界集中が起こることがわかる。この観点から、チャネル不純物濃度調整領域の深さHtopは、半導体層の幅Wfinの0.7倍以下であることが好ましい。

[0111] 一方、Htopが小さすぎると、図70に示すように、半導体層のごく上部だけで電位上昇が抑制されることになり、電界集中が起きる深さ全体にわたって電位上昇を抑制することができなくなる(図70の曲線(c))。電界集中が起きる深さ全体にわたって電位上昇を必要な程度まで抑制するには、HtopはHcornerの1/4以上であることが好ましく、Hcornerの1/2以上であることがより好ましい。従って、図60との関係を合わせて考えると、HtopはWfinの7/40倍以上が好ましく、Wfinの7/20倍であることがより好ましい。

[0112] FinFETを完全空乏化型動作させるためには、Wfinの幅は通常35nm以下であるから、Htopは典型的には24.5nm以下である。また、製造方法における容易性からはHtopは5nm以上が好ましい。従ってHtopは典型的には5nmから24.5nmである。製造方法の容易性(製造の観点からは、Htopが大きいほうが作りやすい。)と効果の兼ね合いを考えると、好ましくは10nmから20nmの範囲であり、最も典型的なHtopの値は10nmである。

[0113] なお、チャネル形成領域における不純物濃度が低い場合には、上部コーナー部における電位上昇は少ないので、チャネル不純物濃度調整領域10の形成は、チャネル形成領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である場合に特に効果的である。

[0114] 不純物分布が滑らかに変化する場合における、チャネル不純物濃度調整領域10の深さ(Htop)の定義を、図61から図68を参照して説明する。図61から図68は、横軸にFinFETの半導体層3上端から見た深さ方向の位置、縦軸に第二導電型ネット不純物濃度をとり、半導体層における縦方向(基板に垂直方向)の不純物濃度分布を描いたものである。なお縦軸の第二導電型ネット不純物濃度とは、各深さ方向の位置において、第二導電型のチャネル形成領域内の、基板平面と平行な断面における第二導電型ネット不純物濃度の平均値である。

[0115] 半導体層の上部に位置するチャネル不純物濃度調整領域10の深さHtopは、不純物濃度ピーク位置より下方(図中の右方向)で不純物濃度ピークの高さ(Np)が半分になる位置の、半導体層3の上面からの深さである(図61、図62)。これは、Htopを上述のようにとると、不純物濃度が滑らかに変化する場合と、不純物濃度が階段状に変化する場合との間で、同一のHtopに対する電位分布がほぼ等しくなるというシミュレーション結果に基づく。但し、不純物濃度ピークの高さ(Np)とは、不純物濃度の最大値と、不純物濃度ピークの基準レベルとの差である。不純物濃度ピークの基準レベルとは、不純物濃度ピーク位置よりも下方(深さ方向)で、不純物濃度が最小になる位置における不純物濃度である。

[0116] なお、図63のよう不純物濃度ピークが複数ある場合、不純物濃度ピークの高さ(Np)は、最も不純物濃度が高い不純物濃度ピークに基づく。

[0117] また、半導体層の下部界面近傍のごく一部の領域で、第二導電型不純物濃度が低下する場合があるが、このような領域の不純物濃度は不純物濃度ピークの基準レベルの決定には含めない。具体的には、下部界面近傍でネット不純物濃度の深さ方向位置依存性が、上に凸な曲線となる領域(ネット不純物濃度の深さ方向位置による2次の微分が負となる領域。上に突起するという意味ではない。)における不純物濃度は、不純物濃度ピークの基準レベルの決定から除外する(図64、図65参照)。

[0118] また、後述の第三実施形態に従い、半導体層の上端部と下端部にチャネル不純物濃度調整領域10(それぞれ上部チャネル不純物濃度調整領域19、下部チャネル不純物濃度調整領域11)が設けられる場合、下部チャネル不純物濃度調整領域11の高さHtop2は、不純物濃度ピーク位置より上方(図中の左方向)で不純物濃度ピークの高さが半分になる位置の、半導体層3に対する基体平面位置(半導体層が支持基板上の埋め込み絶縁膜上に設けられている場合は半導体層の下端と埋め込み絶縁膜との界面)からの距離である(図66)。但し、下部チャネル不純物濃度調整領域11の不純物濃度ピークの高さ(Np2)とは、半導体層の中央よりも下方(図中では右方向)に位置する不純物濃度ピークにおける不純物濃度の最大値と、前記不純物濃度ピークの基準レベルとの差である。

[0119] なお、半導体層の下部界面近傍のごく一部の領域で第二導電型不純物濃度が不純物の偏析などにより上昇する場合、あるいは意図的に半導体層の下部に不純物を導入した場合で、半導体層の中央より下方に位置する不純物濃度ピークの高さがNp/2を越えない場合は、下部チャネル不純物濃度調整領域があるとはみなさない(図67参照)。

[0120] また、不純物濃度がNp/2またはNp2/2となる位置が複数ある場合、不純物濃度ピークの基準レベルまで不純物濃度が低下する位置に最も近い位置をもってHtopまたはHtop2を決定する(図68)。

[0121] [製造方法]
(第一実施形態の第一の製造方法)
図1、図2、図3、図4、図5を参照して第一実施形態の第一の製造方法について説明する。図2(a)、図3(a)、図4(a)はそれぞれ図2(c)、図3(c)、図5のA-A'断面

における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を工程の順を追って描いたものである。また、図2(b)、図3(b)、図4(b)はそれぞれ図2(c)、図3(c)、図5のB-B'断面における断面図であり、従来例を示す平面図である図31のB-B'断面に相当する位置における断面の形状を工程の順を追って描いたものである。

[0122] 第一実施形態の電界効果型トランジスタを製造するためには、基板の半導体層38をパターニングして基板表面から突起する半導体層3を形成し、半導体層3の上部の領域に対してイオン注入などの不純物導入工程によって不純物を導入する。これによって半導体層3のうち上部に、半導体層3の他の領域よりも不純物濃度が高い第二導電型の不純物が導入されたチャネル不純物濃度調整領域10を設ける(図2)。次に半導体3の側面にゲート絶縁膜4を形成し、ゲート電極材料を堆積したのち、ゲート電極材料をRIE(リアクティブ・イオン・エッチング)等によりパターニングすることによってゲート電極5を形成し、半導体層3のうちゲート電極5に覆われていない領域に高濃度の第一導電型不純物を導入してソース/ドレイン領域6を形成する(図3)。その後層間絶縁膜を堆積して、通常の方法によりソース/ドレイン領域6およびゲート電極5に対してコンタクト17及び配線18を形成する(図4、図5)。

[0123] 半導体層3(チャネル不純物濃度調整領域10を除く領域を含む)には、適当な時点(例えば、チャネル不純物濃度調整領域10をイオン注入する工程の前後、あるいは基板表面から突起した半導体層3をパターニングにより形成する前、など)に実施する不純物導入工程により、低濃度の第二導電型不純物が導入される。

[0124] ここで、第一実施形態の典型的な構造(第二導電型であるチャネル形成領域7において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、典型的には半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.3倍から4倍の範囲、より典型的には第二導電型であるチャネル形成領域7において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、典型的には半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲)を満たすように、チャネル不純物濃

度調整領域10の深さ及び不純物濃度を設定することにより、第一実施形態の典型的な構造を製造することができる。

[0125] (第一実施形態の第一の製造方法の実施例)

第一実施形態の第一の製造方法について、図1から図5を参照してより具体的に実施例を説明する。

[0126] シリコンよりなる支持基板1、その上に SiO_2 等の絶縁体よりなる埋め込み絶縁層2、さらにその上に単結晶シリコンよりなる半導体層38が積層したSOI基板(図1)において、通常のリソグラフィ工程及びRIE等の通常のエッチング工程により、半導体層38をパターニングし適当な形状に加工し、基板から突起した半導体層3よりなる素子領域を形成する。中程度のエネルギーで半導体層の全体に第二導電型不純物をイオン注入する第一のチャネルイオン注入工程を実施したのち、低エネルギーで半導体層の表面に第二導電型不純物をイオン注入する第二のチャネルイオン注入工程を実施する。なお、第二のチャネルイオン注入工程は第一のチャネルイオン注入工程に比べて注入深さが浅く、チャネル不純物濃度調整領域10が形成される領域に注入される。この工程を経て、半導体層3の上部には、半導体層3の他の部分よりも不純物濃度が高いチャネル不純物濃度調整領域10が形成される(図2)。

[0127] 次に半導体層3の側面にゲート絶縁膜4を設けたのち、ポリシリコンを堆積し、これを通常のリソグラフィ工程及びRIE工程によりエッチングすることによりパターニングしてゲート電極を形成し、続いて、ゲート電極をマスクに高濃度のイオン注入を行い、熱処理を行うことにより、ゲート電極に覆われない位置の半導体層3にソース／ドレイン領域6を設け、図3の形状を得る。なお、ゲート絶縁膜は、例えば半導体層3を熱酸化することによって設ける。また、ソース／ドレイン領域は垂直方向のイオン注入、斜めイオン注入あるいはプラズマドーピング等の不純物導入工程によって不純物を導入することにより形成する。

[0128] 続いて、全体に絶縁膜を堆積してこれをエッチバックすることにより、ゲート側壁14を設ける。ゲート側壁14をなす絶縁膜は、例えば SiO_2 単層膜、 Si_3N_4 単層膜、 SiO_2 及び Si_3N_4 からなる多層膜などの絶縁膜を用いる。また、ゲート側壁14をなす絶縁膜はCVD法等の製膜技術によって形成する。続いてソース／ドレイン領域6の上部、

及びゲート電極5の上部に金属を堆積し、熱処理することにより、ソース／ドレイン領域6の上部及びゲート電極5の上部にシリサイド層15を形成する。続いて、層間絶縁膜16を堆積し、これを平坦化したのち、ソース／ドレイン領域6上部、及びゲート電極5の上部にコンタクトホールを開口し、金属を埋め込むことによりコンタクト17を形成し、金属よりなる配線18をコンタクト17に接続し、図4及び図5の形状を得る。なお、コンタクト領域への金属の埋め込みと配線となる金属の堆積は同時にあっても良い。なお、コンタクト17は配線18の下部に位置するが、図5においてはその位置を透視的に示した。

[0129] なお、第一のチャネルイオン注入工程、またはチャネル不純物濃度調整領域10を形成するための第二のチャネルイオン注入工程は、半導体層38をパターニングし適当な形状に加工し、基板から突起した半導体層3よりなる素子領域を形成する工程よりも前に実施しても良い。

[0130] ここで、チャネル不純物濃度調整領域10の深さ及び不純物濃度は、第一実施形態の典型的な構造を満たすように設定される。

[0131] (第一実施形態の第二の製造方法)

図6、図7、図8を参照して第一実施形態の第二の製造方法について説明する。図6(a)、図7(a)、図8(a)はそれぞれ図6(c)、図7(c)、図8(c)のA-A'断面における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を工程の順を追って描いたものである。また、図6(b)、図7(b)、図8(b)はそれぞれ図6(c)、図7(c)、図8(c)のB-B'断面における断面図であり、従来例を示す平面図である図31のB-B'断面に相当する位置における断面の形状を工程の順を追って描いたものである。

[0132] 第一実施形態の電界効果型トランジスタを製造するためには、まず、基板の半導体層38をパターニングして基板表面から突起する半導体層3を形成する(図6)。次に半導体3の側面にゲート絶縁膜4を形成し、ゲート電極材料を堆積したのち、ゲート電極材料をRIE(リアクティブ・イオン・エッチング)等によりパターニングすることによって半導体層3を跨ぐゲート電極5を形成する(図7)。そしてゲート電極をマスクに斜めイオン注入を行うと、半導体層3の上部に半導体層3の他の領域よりも第二導電型

不純物濃度が高いチャネル不純物濃度調整領域10が形成される。次に半導体層3のうちゲート電極5に覆われていない領域に高濃度の第一導電型不純物を導入してソース／ドレイン領域6を形成する(図8)。その後層間絶縁膜を堆積して、通常の方法によりソース／ドレイン領域6およびゲート電極5に対してコンタクト17及び配線18を形成する(不純物分布が以下に述べるようにやや異なることを除き、得られる形態は図4及び図5に同じ。但し、以下に述べるようにチャネル不純物濃度調整領域10内部で不純物濃度が位置により変化する特徴を持つ場合がある。)。

[0133] 半導体層3(チャネル不純物濃度調整領域10を除く領域を含む)には、適当な時点(例えば基板表面から突起する半導体層3をパターニングにより形成する前後)に実施する不純物導入工程により、低濃度の第二導電型不純物が導入される。第一実施形態の第二の製造方法においては、チャネル不純物濃度調整領域10は斜めイオン注入によって形成するため、チャネル不純物濃度調整領域10内およびその近傍における不純物分布が、第一実施形態の第一の製造方法による場合とやや異なるが、半導体層3の上部に第一実施形態の典型的な構造を満たすチャネル不純物濃度調整領域10が形成される。但し、第一実施形態の第二の製造方法においては斜めイオン注入によってチャネル不純物濃度調整領域10を形成するため、イオン注入の条件によっては、チャネル不純物濃度調整領域10内において、チャネル長方向(二つのソース／ドレイン領域を結ぶ方向)に不純物濃度が変化する不純物分布を持つことがある。

[0134] ここで、第一実施形態の典型的な構造を満たすように、チャネル不純物濃度調整領域10の深さ及び不純物濃度を設定することにより、第一実施形態の典型的な構造を製造することができる。

[0135] また、この製造方法には置換ゲートプロセスを適用しても良い。すなわち、ここに述べた製造方法において、ゲート電極のかわりに半導体層3をまたぐダミーゲート電極を加工したのち、ダミーゲート電極をマスクに斜めイオン注入を行い、半導体層3の上部に半導体層3の他の領域よりも第二導電型不純物濃度が高いチャネル不純物濃度調整領域10を形成し、適当な段階において、例えばゲート電極を覆う層間絶縁膜を形成したのち、ダミーゲートを除去する工程を実施し、ダミーゲートが除去されて

形成された空洞部に導電性の材料を埋め込み、ゲート電極を形成する製造工程を実施する方法を用いても良い。

[0136] (第一実施形態の第二の製造方法の実施例)

第一実施形態の第二の製造方法について、図6、図7、図8を参照してより具体的な実施例を説明する。

[0137] シリコンよりなる支持基板1、その上にSiO₂等の絶縁体よりなる埋め込み絶縁層2、さらにその上に単結晶シリコンよりなる半導体層38が積層したSOI基板(形態は図1に同じ)において、通常のリソグラフィ工程及びRIE等の通常のエッチング工程により、半導体層38をパターニングし適当な形状に加工し(図6)、基板から突起した半導体層3よりなる素子領域を形成する。半導体層3の全体に不純物が導入できる程度のエネルギー(例えば第一実施形態の第一の製造方法の第一のチャネルイオン注入と同じエネルギー)で半導体層3に第二導電型不純物をイオン注入するチャネルイオン注入工程を実施する。

[0138] 次に半導体層3の側面にゲート絶縁膜4を設けたのち、ポリシリコンを堆積し、これを通常のリソグラフィ工程及びRIE工程によりエッチングすることによりパターニングして半導体層3を跨ぐゲート電極5を形成し、そしてゲート電極をマスクに基板平面およびチャネル長方向に垂直な平面に対して角度を持たせて斜めイオン注入を行うと(図8参照。基板平面およびチャネル長方向に垂直な平面に対して+θ及び-θの角度を持たせる場合を例示。)、半導体層3の上部に半導体層3の他の領域よりも第二導電型不純物濃度が高いチャネル不純物濃度調整領域10が形成される。

[0139] この斜めイオン注入が基板平面に垂直でチャネル長方向に平行な平面に対する角度(図78(c)における角度φ)を持つ場合は、後述するようにハロー領域を形成する機能を兼ねることになるが、半導体層3の上部にチャネル不純物濃度調整領域10を形成することを主目的にする場合は、基板平面に垂直でチャネル長方向に平行な平面に対して平行に行われることが最も望ましい。また、平行ではなくとも、基板平面に垂直でチャネル長方向に平行な平面に対する角度(図78(c)における角度φ)が10度以内であれば、ハロー領域を形成する機能は弱いので、半導体層3の上部にチャネル不純物濃度調整領域10を形成することを主目的にする場合は、基板平面

に垂直でチャネル長方向に平行な平面に対する角度が10度以内であることが望ましい。

[0140] 続いて、ゲート電極5をマスクに高濃度のイオン注入を行い、熱処理を行うことにより、ゲート電極に覆われない位置の半導体層3にソース／ドレイン領域6を設け、図8の形状を得る。なお、ゲート絶縁膜は、例えば半導体層3を熱酸化することによって設ける。また、ソース／ドレイン領域は垂直方向のイオン注入、斜めイオン注入あるいはプラズマドーピング等の不純物導入工程によって第一導電型の不純物を導入することにより形成する。

[0141] 続いて、全体に絶縁膜を堆積してこれをエッチバックすることにより、ゲート側壁14を設ける。ゲート側壁14をなす絶縁膜は、例えば SiO_2 単層膜、 Si_3N_4 単層膜、 SiO_2 及び Si_3N_4 からなる多層膜などの絶縁膜を用いる。また、ゲート側壁14をなす絶縁膜はCVD法等の製膜技術によって形成する。続いてソース／ドレイン領域6の上部、及びゲート電極5の上部に金属を堆積し、熱処理することにより、ソース／ドレイン領域6の上部及びゲート電極5の上部にシリサイド層15を形成する。続いて、層間絶縁膜16を堆積し、これを平坦化したのち、ソース／ドレイン領域6上部、及びゲート電極5の上部にコンタクトホールを開口し、金属を埋め込むことによりコンタクト17を形成し、金属よりなる配線18をコンタクト17に接続する(不純物分布がやや異なることを除き、得られる形態は図4及び図5に同じ)。なお、コンタクト領域への金属の埋め込みと配線となる金属の堆積は同時にあっても良い。なお、コンタクト17は配線18の下部に位置するが、図5においてはその位置を透視的に示した。

[0142] なお、図78に示すように、ゲート電極をマスクに斜めイオン注入を行う際に、ハロー領域を形成する機能を積極的に持たせる場合には、ウエハと垂直な面内に角度(図8において、 $+ \theta$ 、 $- \theta$)。これらは基板平面に垂直でチャネル長方向に平行な面内における基板平面の垂線に対する角度)を持たすだけでなく、ウエハの面内においても角度(図78(c)において、 $+ \phi$ 、 $- \phi$ 、 $180^\circ + \phi$ 、 $180^\circ - \phi$)。これらは基板平面に垂直でチャネル長方向に平行な平面に対する角度。)を持たせてイオン注入してもよい(図78(c))。ウエハ面内に角度を持たせるイオン注入は、通常の平面型の電界効果型トランジスタにおいて、ハロー領域を形成するための斜めイオン注入に相当する。

ここで、ウエハ面内に角度を持たせることにより、ハローイオン注入の効果と、半導体層の上部にチャネル不純物濃度調整領域を形成する効果との、二つの効果を同時に得ることができる。この場合に、 ϕ の典型的な大きさは20度から70度である。

[0143] また、ウエハと垂直な面内に角度を持つ一方、基板平面に垂直でチャネル長方向に平行な平面に平行な第一の斜めイオン注入(図8に例示するイオン注入)と、ウエハと垂直な面内に角度を持ち、ウエハ面内ではチャネル長方向に対して角度を持つ第二の斜めイオン注入(図78に例示するイオン注入)の双方を実施しても良い。これは、通常のハローイオン注入の役割(短チャネル効果の抑制)を第二のイオン注入注入に持たせるとともに、寄生トランジスタを抑制できるチャネル不純物濃度調整領域の形成に充分な不純物を半導体層の上部に導入する役割を、第一のイオン注入に持たせるものであり、短チャネルのFinFETの形成に特に有効である。

[0144] また、ウエハと垂直な面内に角度を持ち、基板平面に垂直でチャネル長方向に平行な平面に平行ではない第一の斜めイオン注入と、ウエハと垂直な面内に角度を持ち、基板平面に垂直でチャネル長方向に平行な平面に対して第一の斜めイオン注入よりも大きな角度を持つ第二の斜めイオン注入を実施しても良い。第一のイオン注入が寄生トランジスタを抑制できるチャネル不純物濃度調整領域の形成に充分な不純物を半導体層の上部に導入する役割を持ち、第二の斜めイオン注入が通常のハローイオン注入の役割を持つことは、前に述べた第一の斜めイオン注入が基板平面に垂直でチャネル長方向に平行な平面に平行な場合と同じである。なお、この場合においても、チャネル不純物濃度調整領域の形成という観点からは第一の斜めイオン注入の基板平面に垂直でチャネル長方向に平行な平面に対する角度は、10度以下であることが好ましい。

[0145] なお、斜めイオン注入のエネルギーが低い場合、あるいは角度 θ が小さい場合には、チャネル形成領域を挟んだ二つのソース／ドレイン領域の近傍に、二つのチャネル不純物濃度調整領域がそれぞれ隣接して、また二つのチャネル不純物濃度調整領域が明確に分離して形成される場合があるが、このような状態については第二実施形態において説明する。

[0146] ここで、チャネル不純物濃度調整領域10の深さ及び不純物濃度は、第一実施形

態の典型的な構造を満たすように設定される。

[0147] [効果]

第一実施形態をnチャネルの電界効果型トランジスタ(図3、図4、図5の構造)に適用した場合のトランジスタ特性についてシミュレーションした結果を図9に示す。第二導電型であるチャネル形成領域における半導体層3の上端から深さ10nmの領域におけるアクセプタ不純物濃度の平均値Ntopを、第二導電型であるチャネル形成領域のうち、半導体層3の上端から深さ10nmの領域を除いた領域におけるアクセプタ不純物濃度の平均値Nで割った値Ntop/Nを横軸とし、オン電流(ゲート電極にオン状態の電圧を印加した場合のドレイン電流)を縦軸とした。各水準のオフ電流(ゲート電圧をゼロボルトとした時のドレイン電流)が同一になるように、各水準のしきい値電圧を設定している。なお、半導体層のチャネル領域中にドナー不純物は導入されていない。

[0148] 半導体層全体で不純物濃度が均一である場合(Ntop/N=1)は、オン電流が低い。この場合、半導体層3の上部コーナー部34において電位が上昇して寄生トランジスタが発生し、オフ電流が増加している。従って図9のようにオフ電流を一定にしてオン電流を比較すると、オン電流は低い。

[0149] また、Ntop/Nが非常に高い場合(例えばNtop/N=6の場合)、半導体層3の上端部はチャネルとして動作しない。この場合、寄生トランジスタが抑制されるのでオフ電流は抑制されるが、半導体層上面23及び半導体層上部側面24において(図39参照)チャネルが形成されなくなるのでドレイン電流が減少する。この条件は特許文献1に記載される構造に対応すると考えられる。

[0150] オン電流はNtopがNの2倍の時に最大となる。この条件付近においては、半導体層上面23及び半導体層上部側面24にはチャネルが形成され、かつ寄生トランジスタが抑制されるという作用が働いている。したがってオフ電流の抑制とオン電流の向上が両立し、オン電流が向上する。NtopがNの2倍の場合には、この作用が最も顕著になり、最大の効果が得られる。また、NtopがNの1.5倍から3倍の範囲では、最大の効果に対して75%の効果が得られ、充分な作用が得られる。また、NtopがNの1.3倍から4倍の範囲では、最大の効果に対して50%の効果が得られ、実用上有効

な作用が得られる。

[0151] 半導体層側面に形成されるチャネルの電子濃度に対する、半導体層上面に形成されるチャネルの電子濃度の比を計算した結果を図10に示す。横軸はNtop／N、縦軸はntop／nsideとした。ここでntopは半導体層上面におけるチャネルキャリアである電子の濃度、nsideは半導体層側面におけるチャネルキャリアである電子の濃度である。ntopは、半導体層3の上面において、Fin幅方向(図3(a))の断面における左右方向)における中央の位置における値、nsideは半導体層3の側面において、基板平面に垂直方向(図3(a))の断面における上下方向)における中央の位置における値である。図10の結果を外挿すると、Ntop／Nが4を越えると半導体層上面の電子濃度がほぼゼロになる。すなわち、半導体層上面にチャネルが形成されなくなる。Ntop／Nを4以下の範囲にすると半導体層上面にもチャネルが形成されることになるが、Ntop／Nが4以下であるという条件は、図9においてオン電流増大効果が50%以上となる範囲の上限に一致している。また、Ntop／Nがほぼ3以下となる範囲では、オン電流が最大となる条件である(図9参照)Ntop／N=2の場合のntopに対して、50%以上のキャリアが半導体層上面に誘起される。この条件は、図9においてオン電流増大効果が75%以上となる範囲の上限に一致している。

[0152] なお、ここでNtopは半導体層上面でFin幅方向(Wfin方向)中央の位置において求めたが、この位置は、半導体層の上部の不純物濃度を高くした場合に、最もチャネルが形成されにくくなる位置であるので、この位置においてチャネルが形成される条件を用いれば、チャネル不純物濃度調整領域の上面、及び側面の全体にチャネルが形成される。なお、ここで「上面、側面にチャネルが形成される」とは、上面、側面に面した半導体層の一定の深さの範囲にチャネルキャリアが誘起されることを言う。

[0153] 従って、半導体層上面にチャネルキャリアを誘起し、半導体上面をチャネルとして機能させるためには、Ntop／Nが4以下であることが望ましい。また、半導体層上面に充分なチャネルキャリアを誘起し、半導体上面をチャネルとして充分に動作させるためには、Ntop／Nが3以下であることが望ましい。

[0154] また、特許文献1に記載される素子構造では、半導体層上端部のp⁺領域20ではチャネルが形成されないので、p⁺領域20の上面(図39の半導体層上面23)だけでなく

、 p^+ 領域20の側面(図39の半導体層上部側面24)にもチャネルは形成されないと考えられる。一方、半導体層上面にチャネルが形成される上記条件(N_{top}/N が4以下、より典型的には N_{top}/N が3以下)を用いると、半導体層上部側面24にもチャネルが形成される。したがって半導体層上部側面24にチャネルが形成される分だけ、オン電流が増す効果も得られる。

[0155] また、単に半導体層上端部に p^+ 領域20を設けるなどの手段によって、上部コーナー部の寄生トランジスタを抑制する従来技術では、半導体上端部の不純物濃度が高い部分の全体に空乏層が延びず、半導体上端部の不純物濃度が高い部分の内部に中性領域が形成される。一方、FinFETにおいては、少なくともトランジスタがオンした状態(ゲート電極にしきい値電圧以上の電圧が印加された状態)において、半導体層が完全に空乏化し、半導体層の中に中性領域が形成されないという条件(この条件を満たす場合、完全空乏化型の電界効果型トランジスタと呼ばれる)を満たすことが望ましい。しかし、一般に半導体層に導入される不純物濃度が高くなると、中性領域が形成されやすくなる。これに対して本実施形態に記載する条件に従えば、寄生トランジスタの抑制に必要なだけの深さ及び不純物濃度で、チャネル不純物濃度調整領域を半導体層の上部に形成できるので、必要以上の不純物が半導体層の上部に導入されることを防ぎ、半導体層全体を空乏化させることが容易になる。中性領域が形成されると、半導体層中に余剰なキャリアが蓄積して電流が変動する基板浮遊効果と呼ばれる異常動作や起りやすくなるが、本発明によれば寄生トランジスタを抑制すると同時にトランジスタを完全空乏化動作させることができることにより、Sファクタ(ドレイン電流を1桁変化させるために必要なゲート電圧の変動)を低減し、オン-オフ遷移を急峻化させることができる。

[0156] なお、図10はゲート電極にオン電圧を印加した状態での結果である。ここではnチャネルトランジスタについて計算したので、オン電圧の印加とはゲートに電源電圧を印加した状態について計算した。 p チャネルトランジスタの場合、オン電圧の印加とはソースに電源電圧を印加した状態で、ゲートに接地電圧を印加した状態をいう。複数の電源電圧をもつデジタル回路の場合は、nチャネルトランジスタの場合はゲートに

Hレベル(高レベル)の電圧が印加された場合、pチャネルトランジスタの場合、ゲートにLレベル(低レベル)の電圧が印加された場合である。アナログ回路の場合は、トランジスタのゲートに最大のレベルの信号が印加された状態である。本発明においては、ゲート電極にオン電圧を印加した状態において、半導体層上部側面24及び半導体層上面23にチャネルが形成されるので、高いオン電流が得られる。

[0157] (第二実施形態)

[構造]

第二実施形態においては、半導体層の上端部のうち一部の領域においてのみ、不純物濃度の高い領域が設けられる。これについて図11、図12、図13、図17、図19、図81及び図82を参照して説明する。なお、図11、図12、図13、図81及び図82は従来例を示す図31の平面図に対応する平面図である。但し、説明の便宜を図るためにゲート電極5に覆われた半導体層3の一部の領域である、チャネル不純物濃度調整領域10及び上部コーナー部近傍領域37を透視的に描いている。また、図17(a)、図19(a)はそれぞれ、従来例を示す平面図である図31のA-A'断面に相当する位置における断面図である。また、図17(b)、図19(b)はそれぞれ、従来例を示す平面図である図31のB-B'断面に相当する位置における断面図である。

[0158] 本実施形態においては基板から上方に突起した半導体層3が設けられ、半導体層の側面にはゲート絶縁膜4を介してゲート電極5が設けられる。ゲート電極5は適当な寸法にパターニングされており、ゲート電極に覆われない位置の半導体層には第一導電型の不純物が高濃度に導入されたソース／ドレイン領域6が形成される。ゲート電極5に覆われた半導体層であるチャネル形成領域7には、ゲート電極5に適当な電圧を印加することにより第一導電型のキャリアよりなるチャネルが形成される。ゲート電極5及びソース／ドレイン領域6にはコンタクト17を介して配線18が接続される。

[0159] チャネル形成領域7をなす半導体層3の上端からある範囲(深さHtop)にわたって設けられるチャネル不純物濃度調整領域10は、チャネル不純物濃度調整領域10を除く半導体層3よりも高濃度の第二導電型不純物が導入される。第二実施形態においてはチャネル不純物濃度調整領域10は半導体層の上部コーナー部を含む一部の領域に形成されれば良い。図11の平面図においては、二本の太い破線で示した

位置(記号37)が半導体層3の二つの上部コーナー部に相当するので、この二本の破線で示された領域の少なくとも一部をそれぞれ含む一部の領域にだけチャネル不純物濃度調整領域10が設けられれば良い。

[0160] 図12(a)及び図17は第二実施形態の一例であり、半導体層3の上端部のうち、半導体層3の上部コーナー部とその近傍だけにチャネル不純物濃度調整領域10が設けられ、半導体層の上端であっても上部コーナー部から離れた位置にはチャネル不純物濃度調整領域10が設けられない場合である。

[0161] 図12(b)及び図19は半導体層の上端部のうちソース／ドレイン領域に接する領域にのみチャネル不純物濃度調整領域10が設けられるものであり、上部コーナー部のうちソース／ドレイン領域に接するある範囲の領域にはチャネル不純物濃度調整領域10が設けられているが、上部コーナー部のうちソース／ドレイン領域から離れた領域にはチャネル不純物濃度調整領域10が設けられない形態である。

[0162] 図13は半導体層の上端部のうち、ソース／ドレイン領域に接する上部コーナー部及びその近傍だけにチャネル不純物濃度調整領域10が設けられる場合である。

[0163] 図81(a), (b)は、それぞれ図12(b)、図13に示した形態において、チャネル不純物濃度調整領域10が一方のソース／ドレイン領域だけに接して設けられた場合である。図82(a), (b)は、二つのソース／ドレイン領域のいずれからも離れた位置においてチャネル不純物濃度調整領域10が設けられた場合であり、図82(a)は二つの上部コーナー部を接続するようにチャネル不純物濃度調整領域10が設けられる場合、図82(b)は上部コーナー部及びその近傍だけにチャネル不純物濃度調整領域10が設けられる場合である。

[0164] 図21は、ハロー領域が形成されたトランジスタにおいて、ソース／ドレイン領域に接する上部コーナー部及びその近傍(図13に示された位置)において、特に不純物濃度が高いチャネル不純物濃度調整領域10が形成された場合である。

[0165] なお、ハロー領域とは、第二導電型のチャネル領域のうち、ソース／ドレイン領域(あるいはソース／ドレイン領域がチャネル領域に延長されたエクステンションと呼ばれる領域)に接する一部の領域において設けられる領域であり、ハロー領域を除いたチャネル領域よりも第二導電型不純物の濃度が高い領域のことを指す。ハロー領域を

設ける一般的な目的は、短チャネル効果(短チャネルトランジスタにおける、しきい値電圧の変動)の改善である。

[0166] 第二実施形態においては、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値と、半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値との比は、第一実施形態におけるNtopとNとの比と同じ範囲に設定される。

[0167] また、第二実施形態においては、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値と、半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値との比は、後述するように第一実施形態とは異なる基準に従って設定されても良い。

[0168] また、第二実施形態において適用されるHtopの範囲は、第一実施形態におけるHtopの範囲と同じ範囲に設定される。

[0169] また、第二実施形態におけるHtopの定義は、第一実施形態において記載したものに従う。但し、チャネル不純物濃度調整領域の濃度が後述のNtop1に関する規定に基づいて設定される時には、Htopは、Ntop1を評価する直線上における第二導電型ネット不純物濃度の分布を基に第一実施形態の記載に従って決定する。また、チャネル不純物濃度調整領域の濃度が後述のNtop2に関する規定に基づいて設定される時には、Htopは、Ntop2を評価する平面における、各深さでの第二導電型ネット不純物濃度の平均値の分布を基に第一実施形態の記載に従って決定する。

[0170] なお縦軸の第二導電型ネット不純物濃度とは、各深さ方向の位置において、第二導電型のチャネル形成領域内の、基板平面と平行な断面における第二導電型ネット不純物濃度の平均値である。

[0171] 一般的に、第二実施形態では、チャネル不純物濃度調整領域10の不純物濃度は、第一実施形態の場合よりも高くても良い。

[0172] これは、第二実施形態では半導体層上面、あるいは半導体層上部側面の一部に局所的にチャネル不純物濃度調整領域10が設けられない領域が形成され、この部

分がチャネル電流の経路となる(特に図12(a)、図13の構造)ので、チャネル不純物濃度調整領域10の不純物濃度が極めて高く、チャネル不純物濃度調整領域10にチャネルが形成されにくい場合においても、半導体層上面、あるいは半導体層上部側面の一部に局所的にチャネル経路が形成されるので、例えば特許文献1の従来技術と比べて大きなドレイン電流が得られる。但し、この場合においてもチャネル不純物濃度調整領域10の深さは、第一実施形態の場合と同様の範囲にあることが望ましい。

[0173] また、第二実施形態においても、チャネル不純物濃度調整領域10にチャネルが形成されると、チャネル不純物濃度調整領域10にチャネルが形成されない場合に比べてドレイン電流が増加するので、さらに望ましい。第二実施形態において、チャネル不純物濃度調整領域10にチャネルが形成されるようにするためにには、チャネル不純物濃度調整領域10の深さ及び不純物濃度を、前述の第一実施形態のチャネル不純物濃度調整領域10に関する条件を満たすように設定する。

[0174] すなわち、第二実施形態においても、最も望ましくは、第一実施形態と同じく、第二導電型であるチャネル形成領域において上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、典型的には第二導電型であるチャネル形成領域のうち上端から深さHtopの範囲を除いた領域における第二導電型のネット不純物濃度の平均値の1.3倍から4倍の範囲に設定する。また、より典型的には第二導電型であるチャネル形成領域において上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、典型的には第二導電型であるチャネル形成領域のうち上端から深さHtopの範囲を除いた領域における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲に設定する。

[0175] 但し、第二実施形態では、NtopがNの4倍以上に設定される形態であっても良い。これは、第二実施形態では、半導体層の上面あるいは上部側面の一部に、局所的に第二導電型不純物の濃度が低い領域が設けられるため、NtopがNの4倍以上に設定されても、半導体層の上面あるいは上部側面に一定のチャネル電流を流すことができるためである。

[0176] また、第二実施形態では、NtopがNよりも高ければ、NtopはNの1.3倍以下に設

定される形態であっても良い。これは、第二実施形態では、半導体層の上面あるいは上部側面の一部に、局所的に第二導電型不純物の濃度が高いチャネル不純物濃度調整領域が設けられるため、ある一定の深さ(第一実施形態のHtop)までのチャネル形成領域全体の平均値をとると、第一実施形態に規定するNtopの範囲を下回る場合があるからである。典型的な下限として、図13の形態を考えると、チャネル不純物濃度調整領域10の体積は4/9になるので、Ntopの下限は1.3から1を減じて得た差に4/9を乗じ、得た積に1を加えた値である1.13倍になる。

[0177] また、第二実施形態では、ある深さまでの半導体層全体の不純物濃度の平均ではなく、局所的に設けられたチャネル不純物濃度調整領域10内部における不純物濃度が動作を左右するので、第二実施形態の最も好ましい形態として、第一実施形態と同様に、チャネル不純物濃度調整領域10にも充分なチャネルを形成し、かつ上部コーナー部の寄生トランジスタを抑制する作用を得るために、チャネル不純物濃度調整領域10の不純物濃度について、下記Ntop1あるいはNtop2が、第一実施形態においてNtopに対して規定される条件を満たすことが望ましい。

[0178] また、第二実施形態においては、第二導電型であるチャネル形成領域のうち上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntopによってチャネル不純物濃度調整領域10の不純物濃度を規定することに代えて、チャネル不純物濃度調整領域10を含むある断面(例えば図12(a)のC-C'断面、図12(b)のD-D'断面)において、チャネル形成領域のうち上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntop2によってチャネル不純物濃度調整領域10の不純物濃度を規定しても良い。この場合、Ntop2はNに対して1.3倍から4倍の範囲、より典型的には1.5倍から3倍の範囲に設定される。

[0179] また、チャネル不純物濃度調整領域10に含まれるある点pにおける深さ方向の分布(例えば図13の点pにおける、半導体層の上端面から下端面に至る分布)において、チャネル形成領域のうち上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntop1によってチャネル不純物濃度調整領域10の不純物濃度を規定しても良い。この場合、Ntop1はNに対して1.3倍から4倍の範囲、より典型的にはNtop1がNに対して1.5倍から3倍の範囲にあれば、実用上有効な効果が得

られる。

[0180] また、前記Ntop1またはNtop2に関する条件が、一つのチャネル不純物濃度調整領域10に対してチャネル長方向に10nm以上にわたって満たされることが望ましい。

[0181] また、上記Ntop1またはNtop2に関する条件が満たされる形態においては、第二導電型であるチャネル領域の上端から深さHtopの範囲の第二導電型のネット不純物濃度の平均値Ntopが規定の条件を満たさなくても良い。たとえば、NtopはNの1.3倍以下に設定されても良い。

[0182] また、上記Ntop1に関する条件が満たされる形態においては、Ntop2が規定の条件を満たさなくても良い。たとえば、Ntop2はNの1.3倍以下に設定されても良い。

[0183] 本実施形態が適用により特性の改善の対象となるトランジスタ、及び本実施形態のトランジスタにおける、Vside、Vcorner等の電位差の特徴、チャネル形成領域における不純物濃度の特徴は、第一実施形態と同様である。

[0184] すなわち、チャネル不純物濃度調整領域の不純物濃度は、チャネル不純物濃度調整領域が設けられない場合に比べて半導体層の上部コーナー部での電位上昇を低減できるNtopとNとの関係を満たすように設定される。この時、半導体層の上部コーナー部での電位上昇低減量は、典型的には半導体層の上部コーナー部の少なくとも一部の領域で、60mV以上の低減であることが望ましい。

[0185] また、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層の上部コーナー部の少なくとも一部の領域で60mV以上の電位上昇が起きてしまうトランジスタの特性を改善するために適用される。また、典型的には、チャネル不純物濃度調整領域が設けられない場合にVsideが120mV以上となるトランジスタの特性を改善するために適用される。

[0186] また、本実施形態のトランジスタは、典型的にはVsideが120mV以上であるという特徴を持つ。なお、pside、pcorner、pcenter、Vcorner、Vsideの決め方も第一実施形態と同じである。但し、本実施形態のpsideはその直上にチャネル不純物濃度調整領域が設けられているか否かに係わらず、チャネル形成領域のいずれかの位置に設けられるチャネル不純物濃度調整領域の下端よりも下部の領域から選ばれる。

[0187] なお、以上pside、pcorner、pcenter、Vcorner、Vsideに関する議論はnチャネルトランジスタについてのものである。

ンジスタを例に説明をしたがpチャネルトランジスタの場合は、極性が逆である。

[0188] また、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層中の不純物濃度の平均値が $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、従って本実施形態のトランジスタにおいて、第二導電型のチャネル形成領域のうちチャネル不純物濃度調整領域を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上である。

[0189] また、短チャネル(典型的にはゲート長 $0.1 \mu\text{m}$ 以下)のトランジスタに対しては、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層中の不純物濃度の平均値が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、短チャネルの本実施形態のトランジスタにおいて、第二導電型のチャネル形成領域のうちチャネル不純物濃度調整領域を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上である。

[0190] [製造方法]

(第二実施形態の第一の製造方法)

第二実施形態の第一の製造方法は、半導体層の上部コーナー部の近傍にチャネル不純物濃度調整領域10を設け、半導体層の上端部であっても上部コーナー部から離れた領域にはチャネル不純物濃度調整領域10が設けられない形態(図12(a))を形成する方法である。

[0191] 図14、図15、図16、図17を参照して、第二実施形態の第一の製造方法について説明する。図14(a)、図15(a)、図16(a)はそれぞれ平面図である図14(c)、図15(c)、図16(c)のA-A'断面における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を工程の順を追って描いたものである。

[0192] 図14(b)、図15(b)、図16(b)はそれぞれ平面図である図14(c)、図15(c)、図16(c)のB-B'断面における断面図であり、従来例を示す平面図である図31のB-B'断面に相当する位置における断面の形状を工程の順を追って描いたものである。

[0193] 第二実施形態の電界効果型トランジスタを製造するためには、半導体層38上に素

子領域を規定するレジストパターン22(レジストパターンを酸化膜などからなるマスクパターンに代えても可)を形成し、レジストパターン22をマスクに斜めイオン注入により、チャネル不純物濃度調整領域10を形成するための第二導電型不純物を導入する。これにより、半導体層38のレジストに覆われた領域のうちレジストの端部に近い領域の上部に第二導電型不純物が導入される(図14、記号26は第二導電型不純物が導入された領域を示す)。次にレジストパターン22をマスクとして、RIEなどのエッチング工程により、基板から突起した半導体層3を持つ素子領域をパターニングにより形成する。これにより第二導電型不純物が半導体層の他の領域よりも高い領域であるチャネル不純物濃度調整領域10が半導体層3の上部コーナー部に形成される(図15)。

[0194] レジストパターン22を除去したのち、半導体3の側面にゲート絶縁膜4を形成し、ゲート電極材料を堆積したのち、ゲート電極材料をRIE(リアクティブ・イオン・エッチング)等によりパターニングすることによってゲート電極5を形成し、半導体層3のうちゲート電極5に覆われていない領域に高濃度の第一導電型不純物を導入してソース/ドレイン領域6を形成する(図16)。その後層間絶縁膜を堆積して、通常の方法によりソース/ドレイン領域6およびゲート電極5に対してコンタクト17及び配線18を形成する(図17、平面図の形態は図5と同じ)。

[0195] チャネル不純物濃度調整領域10の深さ及び不純物濃度は、前述の第二実施形態の構造的特徴を満たすように設定される。

[0196] (第二実施形態の第一の製造方法の実施例)
第二実施形態の第一の製造方法の具体的な実施例について補足する。

[0197] 具体的な実施例においては、例えばシリコンよりなる支持基板1、その上に SiO_2 等の絶縁体よりなる埋め込み絶縁層2、さらにその上に単結晶シリコンよりなる半導体層38が積層されたSOI基板において、通常のリソグラフィ工程により素子領域を規定するレジストパターン22を設ける(図14)。

[0198] また、ゲート電極5を形成したのち、ゲート側壁14、層間絶縁膜16、コンタクト17、配線18等を形成する工程は、第一実施形態の第一の製造方法または第一実施形態の第二の製造方法と同一の工程を用いる。

[0199] (第二実施形態の第二の製造方法)

第二実施形態の第二の製造方法は、チャネル形成領域7の上端部のうち、ソース／ドレイン領域6と接する部分の近傍においてのみ、上部コーナー部の一部を含むようにチャネル不純物濃度調整領域10を設け、半導体層の上端部であってもソース／ドレイン領域6から離れた領域にはチャネル不純物濃度調整領域10が設けられない形態(図12(b))を形成する方法である。

[0200] 図18、図19を参照して、第二実施形態の第二の製造方法について説明する。図18(a)、図19(a)はそれぞれ平面図である図18(c)、図19(c)のA-A'断面における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を工程の順を追って描いたものであり、図18(b)、図19(b)はそれぞれ平面図である図18(c)、図19(c)のB-B'断面における断面図であり、従来例を示す平面図である図31のB-B'断面に相当する位置における断面の形状を工程の順を追って描いたものであり、また、図18、図19はそれぞれ第一実施形態の第二の製造方法における図8、図4に相当する図面である。

[0201] また、第二実施形態の第二の製造方法は、第一実施形態の第二の製造方法において、ゲート電極をマスクに斜めイオン注入を行い、半導体層3の上部に半導体層3の他の領域よりも第二導電型不純物濃度が高いチャネル不純物濃度調整領域10が形成する工程に変更を加えたものであり、この工程を除いた製造方法はすべて第一実施形態の第二の製造方法と同一である。

[0202] なお、図18には斜めイオン注入が基板平面に垂直でチャネル長方向に平行な平面に平行に実施される場合を図示した。第一実施形態の第二の製造方法と同じく、半導体層3の上部にチャネル不純物濃度調整領域10を形成するという観点からは、基板平面に垂直でチャネル長方向に平行な平面に対して斜めイオン注入が平行に行われることが最も望ましい。また、平行ではなくとも、基板平面に垂直でチャネル長方向に平行な平面に対する角度(図20(c)における角度 ϕ)が10度以内であれば、ハロー領域を形成する機能は弱いので、半導体層3の上部にチャネル不純物濃度調整領域10を形成することを主目的にする場合は、基板平面に垂直でチャネル長方向に平行な平面に対する角度が10度以内であることが望ましい。

[0203] なお、斜めイオン注入をゲートの片側だけから行えば(図18(b)において $-θ$ のみ。図18(c)において実線の矢印の方向のみ)、図81(b)の形態が得られる。

[0204] また、図82(a)の形態は、第一実施形態の各製造方法に、第一導電型の不純物を上記条件で斜めイオン注入する工程を追加し、ソース／ドレイン領域近傍の第二導電型不純物を補償した場合、図82(b)の形態は、第二実施形態の第一の製造方法に、第一導電型の不純物を上記条件で斜めイオン注入する工程を追加し、ソース／ドレイン領域近傍の第二導電型不純物を補償した場合に得られる。

[0205] 第二実施形態の第二の製造方法においては、ゲート電極をマスクに斜めイオン注入を行う際に、ゲート電極の両側からイオンが注入されて形成されるチャネル不純物濃度調整領域10が互いに接しないように形成される(図18、図19)。

[0206] 例え第一実施形態の第二の製造方法よりも低エネルギーでイオン注入を行う。あるいは第一実施形態の第二の製造方法よりも重いイオンを注入する。あるいは例えば第一実施形態の第二の製造方法がゲート長が長いトランジスタに適用された場合に第二実施形態のトランジスタが形成される。

[0207] また、この製造方法には、第一実施形態の第二の製造方法と同様に、置換ゲートプロセスを適用しても良い。

[0208] (第二実施形態の第三の製造方法)
第二実施形態の第三の製造方法は、半導体層3の上部コーナー部がソース／ドレイン領域6と接する部分の近傍においてチャネル不純物濃度調整領域10を設け、半導体層の上端部であってもソース／ドレイン領域6から離れた領域及び上部コーナー部から離れた領域にはチャネル不純物濃度調整領域10が設けられない形態(図13)を形成する方法であり、またチャネル形成領域にハロー領域を持つトランジスタを形成する方法である。

[0209] 図20、図21を参照して、第二実施形態の第三の製造方法について説明する。図20(a)は平面図である図20(c)のA-A'断面における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を描いたものである。図20(b)は平面図である図20(c)のC-C'断面における断面図であり、従来例を示す平面図である図31のC-C'断面に相当する位置における断面の形状を描い

たものである。また、図21(a)、図21(b)はそれぞれ図20(a)、図20(b)の断面において、工程が進んだ状態での断面図を示す。また、図20、図21はそれぞれ第一実施形態の第二の製造方法における図8、図4に相当する図面である。記号27はハロー領域を示す。

[0210] 第二実施形態の第三の製造方法は、第一実施形態の第二の製造方法において、ゲート電極をマスクに斜めイオン注入を行い、半導体層3の上部に半導体層3の他の領域よりも第二導電型不純物濃度が高いチャネル不純物濃度調整領域10が形成する工程に変更を加えたものであり、この工程を除いた製造方法はすべて第一実施形態の第二の製造方法と同一である。

[0211] 第二実施形態の第三の製造方法においては、ゲート電極をマスクに斜めイオン注入を行う際に、ウェハの面内でチャネル長方向に対して角度(図20(c)において、 $+\phi$ 、 $-\phi$ 、 $180^\circ + \phi$ 、 $180^\circ - \phi$)を持たせてイオン注入する。これにより、チャネル形成領域の半導体層のゲート絶縁膜の近傍の領域のうち、ソース／ドレイン領域に接する領域では、半導体層3の全ての深さにおいて第二導電型不純物の濃度が高くなる。 ϕ の典型的な大きさは20度から70度である。

[0212] また、ウェハと垂直な面内に角度 $+\theta$ 、 $-\theta$ (基板平面に垂直でチャネル長方向に平行な面内における基板平面の垂線に対する角度)を持たすことにより、半導体層3の上端部の不純物濃度が高くなる。

[0213] なお、斜めイオン注入をゲートの片側だけから行えば(図20(c)において $+\phi$ 、 $-\phi$ のみ。図中の実線の矢印の方向のみ)、図81(b)の形態が得られる。

[0214] これにより、第二実施形態の第三の製造方法では、半導体層3の上端部のうち、上部コーナー部とソース／ドレイン領域の両方に接する領域において最も不純物濃度が高くなるので、半導体層3の上端部のうち、上部コーナー部とソース／ドレイン領域の両方に接する領域にだけ、チャネル不純物濃度調整領域10が形成される。

[0215] なお、図中の「やや濃度が高い領域28」とは、本製造方法の工程上の特徴により形成される領域であり、チャネル不純物濃度調整領域10よりは第二導電型不純物のネット濃度が低いが、「やや濃度が高い領域28」の下部の半導体層3よりは第二導電型

不純物のネット濃度が高い領域である。

[0216] また、ウェハと垂直な面内に角度を持つ一方、基板平面に垂直でチャネル長方向に平行な平面に平行な第一の斜めイオン注入(図18に例示するイオン注入)と、ウェハと垂直な面内に角度を持ち、基板平面に垂直でチャネル長方向に平行な平面に対して角度(図20(c)の ϕ)を持つ第二の斜めイオン注入(図20に例示するイオン注入)の双方を実施しても良い。これは、通常のハローイオン注入の役割(短チャネル効果の抑制)を第二のイオン注入に持たせるとともに、寄生トランジスタを抑制できるチャネル不純物濃度調整領域の形成に充分な不純物を半導体層の上部に導入する役割を、第一のイオン注入に持たせるものであり、短チャネルのFinFETの形成に特に有効である。

[0217] また、ウェハと垂直な面内に角度を持ち、基板平面に垂直でチャネル長方向に平行な平面に平行ではない第一の斜めイオン注入と、ウェハと垂直な面内に角度を持ち、基板平面に垂直でチャネル長方向に平行な平面に対して第一の斜めイオン注入よりも大きな角度を持つ第二の斜めイオン注入を実施しても良い。第一のイオン注入が寄生トランジスタを抑制できるチャネル不純物濃度調整領域の形成に充分な不純物を半導体層の上部に導入する役割を持ち、第二の斜めイオン注入が通常のハローイオン注入の役割を持つことは、前に述べた第一の斜めイオン注入が基板平面に垂直でチャネル長方向に平行な平面に平行な場合と同じである。なお、この場合においても、チャネル不純物濃度調整領域の形成という観点からは第一の斜めイオン注入の基板平面に垂直でチャネル長方向に平行な平面に対する角度(図20(c)の ϕ)は、10度以下であることが好ましい。

[0218] [効果]

第二実施形態においては、チャネル不純物濃度調整領域10が半導体層3の上部のうち、半導体層の二つの上部コーナー部(図11の平面図における二本の太い破線の位置(記号37))のそれぞれ少なくとも一部の領域にだけ形成される。寄生トランジスタを抑制するためには、半導体層の二つの上部コーナー部の少なくともそれぞれ一部において、不純物濃度の高い領域を設ければ良いので、第二実施形態においても第一実施形態と同様に、寄生トランジスタの発生が抑制され第一の課題が解

決される。

[0219] 第二実施形態の電界効果型トランジスタの作用上の特徴は、チャネル不純物濃度調整領域10を寄生トランジスタの抑制に最低限必要な領域に限ったことにより、半導体層上面及び半導体層上部側面に、局所的にチャネル不純物濃度調整領域10よりも不純部濃度が低い領域が形成されることである。局所的に不純部濃度が低い領域では、局所的にしきい電圧が低くチャネル電荷が誘起されやすくなるとともに、チャネルキャリアの移動度も向上するので、局所的にチャネル抵抗が低い領域が形成される。すなわち、第二実施形態の電界効果型トランジスタでは、チャネル不純物濃度調整領域10を最低限必要な領域だけに設けることにより、チャネル抵抗が低い領域を拡大し、ドレイン電流が増加する。

[0220] 図12(a)の形態における作用を図71を参照して説明する。図71は図12(a)において半導体層上面の部分を拡大して模式的に描いたものであり、抵抗R1、R3はチャネル不純物濃度調整領域10におけるチャネル抵抗、抵抗R2はチャネル不純物濃度調整領域10が形成されない領域のチャネル抵抗を、それぞれ模式的に示したものである。チャネル不純物濃度調整領域10が形成されない領域のチャネル抵抗R2は上述の理由により、R1、R3よりも低いので、抵抗R1、R2、R3が並列に接続されて形成される合成抵抗の値は、半導体層上面の全体にチャネル不純物濃度調整領域10が形成される場合に比べて低くなる。その結果、半導体層上面の全体にチャネル不純物濃度調整領域10が形成される場合に比べてドレイン電流が増加する。

[0221] また、図12(b)の形態における作用を図72を参照して説明する。図72は図12(b)において半導体層上面の部分を拡大して模式的に描いたものであり、抵抗R1、R3はチャネル不純物濃度調整領域10におけるチャネル抵抗、抵抗R2はチャネル不純物濃度調整領域10が形成されない領域のチャネル抵抗を、それぞれ模式的に示したものである。この形態では、抵抗R1、R2、R3は直列に接続される。チャネル不純物濃度調整領域10が形成されない領域のチャネル抵抗R2は前述の理由により、R1、R3よりも低いので、抵抗R1、R2、R3が直列に接続されて形成される合成抵抗の値は、半導体層上面の全体にチャネル不純物濃度調整領域10が形成される場合に比べて低くなる。その結果、半導体層上面の全体にチャネル不純物濃度調整領域10が

形成される場合に比べてドレイン電流が増加する。

[0222] また、第二実施形態においては半導体層上端部のうち不純物領域が高いチャネル不純物濃度調整領域10を設けない領域(例えば図12(a)及び図13のB—B'断面における上端部付近)にはチャネルが形成されるので、特許文献1の従来例に比べるとチャネルが形成される領域が増し、ドレイン電流が増すので、第二の課題が改善される。

[0223] また第二実施形態においても第一実施形態の場合と同じように、チャネル不純物濃度調整領域10およびその近傍にもチャネルが形成される程度にチャネル不純物濃度調整領域10の濃度が抑制されことが、最も好ましい(チャネル不純物濃度調整領域10の濃度が高すぎると、チャネル不純物濃度調整領域10だけでなく、その近傍でもチャネルが形成されなくなる)。

[0224] 第二実施形態の電界効果型トランジスタにおいては、前述の理由により半導体上端部にチャネルが形成されやすく、第一実施形態の電界効果型トランジスタに比べて同等以上のドレイン電流が得られることを考慮し、第一実施形態の電界効果型トランジスタに関するシミュレーション結果に照らし合わせると、第二実施形態におけるチャネル不純物濃度調整領域10の深さ及び不純物濃度は、第一実施形態のチャネル不純物濃度調整領域10の条件を満たすように設定することが好ましく、このような条件の範囲にあれば充分な効果が得られる。例えば、チャネル不純物濃度調整領域10における半導体層の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、当該チャネル不純物濃度調整領域10における半導体層の上端から深さHtopの範囲を除いたチャネル形成領域における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲にあれば充分な効果が得られる。

[0225] また、典型的には第二導電型であるチャネル形成領域において上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値が、第二導電型であるチャネル形成領域のうち上端から深さHtopの範囲を除いた領域における第二導電型のネット不純物濃度の平均値の1.3倍から4倍の範囲にあれば、実用上有効な効果が得られる。

[0226] また、第二実施形態においては、第二導電型であるチャネル形成領域うち上端か

ら深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntopではなく、チャネル不純物濃度調整領域10を含むある断面(例えば図12(a)のC-C'断面、図12(b)のD-D'断面)において、上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntop2がNに対して1.5倍から3倍の範囲にあれば、充分な効果が得られる。またNtop2がNに対して1.3倍から4倍の範囲にあれば、実用上有効な効果が得られる。

[0227] また、チャネル不純物濃度調整領域10に含まれるある点pにおける深さ方向の分布(例えば図13の点pにおける、半導体層の上端面から下端面に至る分布)において、上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値Ntop1がNに対して1.5倍から3倍の範囲にあれば、充分な効果が得られる。またNtop1がNに対して1.3倍から4倍の範囲にあれば、実用上有効な効果が得られる。

[0228] 但し、チャネル長方向(二つのソース／ドレイン領域を結ぶ方向であり、例えば図12(b)のB-B'方向や図13のB-B'方向)におけるチャネル不純物濃度調整領域10の長さが小さすぎると、寄生トランジスタを抑制する作用が弱くなるので、前記Ntop1またはNtop2に関する条件が、一つのチャネル不純物濃度調整領域10に対してチャネル長方向に10nm以上にわたって満たされることが望ましい。

[0229] また、上記Ntop1またはNtop2に関する条件が満たされる形態においては、第二導電型であるチャネル領域における半導体層の上端から深さHtopの範囲の第二導電型のネット不純物濃度の平均値Ntopが規定の条件を満たさない場合(例えばNの1.3倍以下)であっても第一の課題を解決する効果が得られる。

[0230] また、第二実施形態のトランジスタにおいても、第一実施形態と同様に半導体層中に中性領域が形成されないことが最も望ましい。第一実施形態の場合と同じく、本実施形態に記載する条件に従えば、寄生トランジスタの抑制に必要なだけの深さ及び不純物濃度で、チャネル不純物濃度調整領域を半導体層の上部に形成できるので、必要以上の不純物が半導体層の上部に導入されることを防ぎ、半導体層全体を空乏化させることが容易になる。

[0231] また、半導体層全体の空乏化に関する、第一実施形態または第二実施形態におけるこのような構成及び効果は、第一実施形態または第二実施形態に記載される条

件でチャネル不純物濃度調整領域が形成される、後述の各種実施形態においても同じである。

[0232] また、Ntop、Ntop1、Ntop2を規定するチャネル不純物濃度調整領域の深さHtopの好ましい範囲は、第一実施形態と同じである。Htopは典型的には5nmから24.5nmである。製造方法の容易性(製造の観点からは、Htopが大きいほうが作りやすい。)と効果の兼ね合いを考えると、好ましくは10nmから20nmの範囲であり、最も典型的なHtopの値は10nmである。Htopの好ましい値は、第一実施形態または第二実施形態に記載される条件でチャネル不純物濃度調整領域が形成される、後述の各種実施形態においても同じである。

[0233] (第三実施形態)

[構造]

第三実施形態においては、第一実施形態または第二実施形態と同じ形態を持つチャネル不純物濃度調整領域10が半導体層3の上端部と下端部の両方に設けられる。

[0234] 第三実施形態の場合、第一実施形態及び第二実施形態における上部のチャネル不純物濃度調整領域10に対する条件を適宜下部のチャネル不純物濃度調整領域に対する条件に適用することができる。また、第一実施形態及び第二実施形態における上部のチャネル不純物濃度調整領域10に対する濃度条件において、半導体層の上端からある範囲を除いた半導体層における第二導電型のネット不純物濃度に対して規定される濃度範囲を、半導体層の上端からある範囲と半導体層の下端からある範囲を除いた半導体層領域における第二導電型のネット不純物濃度に対して規定される、チャネル不純物濃度調整領域10の不純物濃度範囲として適用する。例えば、「半導体層3の上端から深さHtopの範囲を除いた半導体層における第二導電型のネット不純物濃度」に対して規定される濃度範囲の値を、「半導体層3の上端から深さHtopの範囲と半導体層の下端から高さHtop2の範囲の両方を除いた半導体層3における第二導電型のネット不純物濃度」に対して規定される濃度範囲に適用する。

[0235] (第三実施形態の構造の実施例)

第三実施形態について、図26及び図27を参照して説明する。なお、図26(a)は図

27のA-A'断面における断面図であり、従来例を示す図31のA-A'断面に相当する位置における断面図である。図26(b)は図27のB-B'断面における断面図であり、従来例を示す図31のB-B'断面に相当する位置における断面図である。

[0236] 本実施形態においては基板から上方に突起した半導体層3が設けられ、半導体層の側面にはゲート絶縁膜4を介してゲート電極5が設けられる。ゲート電極5は適当な寸法にパターニングされており、ゲート電極5に覆われない位置の半導体層3には第一導電型の不純物が高濃度に導入されたソース／ドレイン領域6が形成される。ゲート電極5に覆われた半導体層であるチャネル形成領域7には、低濃度の第二導電型不純物が導入され、ゲート電極5に適当な電圧を印加することにより第一導電型のキャリアよりもチャネルが形成される。ゲート電極5及びソース／ドレイン領域6にはコントクト17を介して配線18が接続される。

[0237] チャネル形成領域7をなす半導体層3の上端からある範囲(深さHtop)にわたって設けられるチャネル不純物濃度調整領域10(以下、上部チャネル不純物濃度調整領域19)と半導体層3の下端からある範囲(高さHtop2)にわたって設けられるチャネル不純物濃度調整領域10(以下、下部チャネル不純物濃度調整領域11)は、上部チャネル不純物濃度調整領域19及び下部チャネル不純物濃度調整領域11の両者を除く半導体層3(中部チャネル形成領域と呼ぶ)よりも高濃度の第二導電型不純物が導入される。

[0238] 下部チャネル不純物濃度調整領域の不純物濃度は、半導体層の下部コーナー部の電位上昇を抑制し、かつ下部チャネル不純物濃度調整領域の側面に、ゲート電圧の印加とともにチャネルが形成される程度の濃度に調整される。

[0239] また下部チャネル不純物濃度調整領域の不純物濃度は、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値をN2と記すと、下部チャネル不純物濃度調整領域が設けられない場合に比べて(すなわち下部チャネル不純物濃度調整領域の不純物濃度を上記N2で置き換えた場合に比べて)半導体層上部のコーナー部での電位上昇を低減できるNtopとN2との関係を満たすように設定される。この時、半導体層の下部コーナー部での電位

上昇低減量は、典型的には半導体層下部コーナー部の少なくとも一部の領域で、60mV以上(60mVの低減は寄生トランジスタによる漏れ電流が一桁減少する条件に相当。)の低減であることが望ましい。

[0240] 第三実施形態においては、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値と、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値(N2)との比は、第一実施形態におけるNtopとNとの比と同じ範囲に設定される。

[0241] また、第三実施形態においては、第二導電型であるチャネル形成領域において半導体層3の下端から高さHtop2の範囲における第二導電型のネット不純物濃度の平均値と、半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値との比は、第一実施形態におけるNtopとNとの比と同じ範囲に設定される。

[0242] また、第三実施形態において適用されるHtopの範囲は、第一実施形態におけるHtopの範囲と同じ範囲に設定される。

[0243] また、第三実施形態において適用されるHtop2の範囲は、第一実施形態におけるHtopの範囲と同じ範囲に設定される。

[0244] また、第三実施形態におけるHtop、Htop2の定義は、第一実施形態において記載したものに従う。

[0245] 第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、典型的には半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.3倍から4倍の範囲になる。より典型的には、半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲になる。あるいは、半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値は、界面から1nm以内の範

囲を除いて半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲にある。

[0246] また、第二導電型であるチャネル形成領域において半導体層3の下端から高さHtop2の範囲における第二導電型のネット不純物濃度の平均値は、典型的には半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.3倍から4倍の範囲になる。より典型的には、半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲になる。あるいは、半導体層3の下端から高さHtop2の範囲における第二導電型のネット不純物濃度の平均値は、界面から1nm以内の範囲を除いて半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値の1.5倍から3倍の範囲にある。

[0247] また、第三実施形態においては、上部チャネル不純物濃度調整領域19または下部チャネル不純物濃度調整領域11に対して第二実施形態が適用されても良い。すなわち、半導体層の上端部のうち一部の領域においてのみ、不純物濃度の高い領域が設けられる。または半導体層の下端部のうち一部の領域においてのみ、不純物濃度の高い領域が設けられる。下部チャネル不純物濃度調整領域11に第二実施形態が適用される場合には、第二実施形態における上端部における不純分布の説明において「上端部」を「下端部」に読みかえる。

[0248] 上部チャネル不純物濃度調整領域19に対して第二実施形態が適用された場合、第二導電型であるチャネル形成領域において半導体層3の上端から深さHtopの範囲における第二導電型のネット不純物濃度の平均値と、半導体層3の上端から深さHtopの範囲及び半導体層3の下端から高さHtop2の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値との比は、第二実施形態におけるNtopとNとの比、Ntop1とNとの比、Ntop2とNとの比のいずれかと、同じ範囲に設定される。

[0249] また、下部チャネル不純物濃度調整領域11に対して第二実施形態が適用された

場合、第二導電型であるチャネル形成領域において半導体層3の下端から高さH_{top2}の範囲における第二導電型のネット不純物濃度の平均値と、半導体層3の上端から深さH_{top}の範囲及び半導体層3の下端から高さH_{top2}の範囲を除いた半導体層における第二導電型のネット不純物濃度の平均値との比は、第二実施形態におけるN_{top}とNとの比、N_{top1}とNとの比、N_{top2}とNとの比のいずれかと、同じ範囲に設定される。

[0250] 第三実施形態において、上部チャネル不純物濃度調整領域19に第二実施形態のチャネル不純物濃度調整領域10の形態を組み合わせた場合の形態を、図28、図29及び図30に示す。図28、図29及び図30の形態は、半導体層の下部に下部チャネル不純物濃度調整領域11を持つ第三実施形態に、第二実施形態における図17、図19及び図21の形態をそれぞれ組み合わせたものである。

[0251] なお、図30中の「上部のやや濃度が高い領域29」及び「下部のやや濃度が高い領域30」とは、第三実施形態の下記製造方法において、上部のチャネル不純物濃度調整領域の形成に第二実施形態の第二の製造方法を適用した場合に、製造方法の工程上の特徴により形成される領域である。「上部のやや濃度が高い領域29」は上部チャネル不純物濃度調整領域19よりは第二導電型不純物のネット濃度が低いが、「上部のやや濃度が高い領域29」の下部の半導体層3よりは第二導電型不純物のネット濃度が高い領域である。「下部のやや濃度が高い領域30」は下部チャネル不純物濃度調整領域11よりは第二導電型不純物のネット濃度が低いが、「下部のやや濃度が高い領域30」の上部の半導体層3よりは第二導電型不純物のネット濃度が高い領域である。

[0252] 本実施形態が適用により特性の改善の対象となるトランジスタ、及び本実施形態のトランジスタにおける、V_{side}、V_{corene}等の電位差の特徴、チャネル形成領域における不純物濃度の特徴は、第一実施形態と同様である。

[0253] すなわち、チャネル不純物濃度調整領域の不純物濃度は、チャネル不純物濃度調整領域が設けられない場合に比べて半導体層の上部コーナー部での電位上昇、半導体層の下部コーナー部での電位上昇を低減できるように設定される。この時、半導体層の上部コーナー部での電位上昇低減量、半導体層の下部コーナー部での電

位上昇低減量の少なくとも一方は、典型的には半導体層の上部コーナー部または半導体層の下部コーナー部の少なくとも一部の領域で、60mV以上の低減であることが望ましい。

[0254] また、本発明は、典型的には、チャネル不純物濃度調整領域が設けられない場合に半導体層の上部コーナー部または半導体層の下部コーナー部の少なくとも一部の領域で60mV以上の電位上昇が起きてしまうトランジスタの特性を改善するために適用される。また、典型的には、チャネル不純物濃度調整領域が設けられない場合にV_{side}が120mV以上トランジスタの特性を改善するために適用される。

[0255] また、本実施形態のトランジスタは、典型的にはV_{side}が120mV以上であるという特徴を持つ。なお、pside、pcorner、pcenter、Vcorner、V_{side}の決め方も第一実施形態と同じである。但し、pcornerは半導体層の上部コーナーと下部コーナーの双方に対して設定され、またVcornerは、半導体層の上部コーナーに対するVcornerと導体層の下部コーナーに対するVcornerの二者のうち、値が大きいほうとする。また、V_{side}は、第二導電型のチャネル形成領域のうち、上部チャネル不純物濃度調整領域の下端より下部、下部チャネル不純物濃度調整領域の上端より上部の位置にとる。また、上部チャネル不純物濃度調整領域または、上部チャネル不純物濃度調整領域のいずれかが第二実施形態に従って設けられた場合、本実施形態のpsideはその直上にチャネル不純物濃度調整領域が設けられているか否かに係わらず、またはその直下にチャネル不純物濃度調整領域が設けられているか否かに係わらず、チャネル形成領域のいずれかの位置に設けられる上部チャネル不純物濃度調整領域の下端よりも下部で、チャネル形成領域のいずれかの位置に設けられる下部チャネル不純物濃度調整領域の上端よりも上部の領域から選ばれる。

[0256] なお、以上pside、pcorner、pcenter、Vcorner、V_{side}に関する議論はnチャネルトランジスタを例に説明をしたがpチャネルトランジスタの場合は、極性が逆である。

[0257] また、本発明は、典型的には、上部チャネル不純物濃度調整領域及び下部チャネル不純物濃度調整領域がいずれも設けられない場合に半導体層中の不純物濃度の平均値が $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、従って本実施形態のトランジスタにおいて、第二導電型のチャネル形成領域のう

ち上部チャネル不純物濃度調整領域及び下部チャネル不純物濃度調整領域の双方を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $7.5 \times 10^{17} \text{ cm}^{-3}$ 以上である。

[0258] また、短チャネル(典型的にはゲート長 $0.1 \mu\text{m}$ 以下)のトランジスタに対しては、本発明は、典型的には、上部チャネル不純物濃度調整領域及び下部チャネル不純物濃度調整領域がいずれも設けられない場合に半導体層中の不純物濃度の平均値が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上であるトランジスタの性能を改善するために適用され、短チャネルの本実施形態のトランジスタにおいて、第二導電型のチャネル形成領域のうち上部チャネル不純物濃度調整領域及び下部チャネル不純物濃度調整領域の双方を除いた領域における第二導電型のネット不純物濃度の平均値は典型的には $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上である。

[0259] [製造方法]

(第三実施形態の製造方法)

第三実施形態の製造方法の一例について図22、図23、図24、図25、図26及び図27を参照して説明する。

[0260] 図22(a)、図22(b)、図22(c)及び図23は、図31のA-A'断面またはB-B'断面に相当する位置での断面形状を工程の順を追って描いたものである。

[0261] 図24(a)、図25(a)、図26(a)はそれぞれ図24(c)、図25(c)、図27のA-A'断面における断面図であり、従来例を示す平面図である図31のA-A'断面に相当する位置における断面の形状を工程の順を追って描いたものである。また、図24(b)、図25(b)、図26(b)はそれぞれ図24(c)、図25(c)、図27のB-B'断面における断面図であり、従来例を示す平面図である図31のB-B'断面に相当する位置における断面の形状を工程の順を追って描いたものである。

[0262] 本製造方法は、下部チャネル不純物濃度調整領域11となる中濃度第二導電型半導体層31(図22(b))の上に、中濃度第二導電型半導体層31の上部に不純物濃度が低い半導体層(図中にエピタキシャル層12と示す。典型的には単結晶シリコンである。)をエピタキシャル成長させる(図22(c))ことにより、半導体層の下部において不純物濃度が高い半導体層の構造を形成したのち、第一実施形態の製造方法また

は第二実施形態の製造方法と同様の工程を実施することにより、第三実施形態の電界効果型トランジスタを形成する(図24、図25、図26、図27)。

[0263] なお、中濃度第二導電型半導体層31、上部中濃度第二導電型半導体層32には、形成されたトランジスタの上部チャネル不純物濃度調整領域19及び下部チャネル不純物濃度調整領域11が、第一実施形態または第二実施形態の条件を満たす濃度の第二導電型不純物が導入される。

[0264] (第三実施形態の製造方法の実施例)
第三実施形態の製造方法について、図22、図23、図24、図25、図26及び図27を参照して説明する。

[0265] シリコンよりなる支持基板1、その上に SiO_2 等の絶縁体よりなる埋め込み絶縁層2、さらにその上に単結晶シリコンよりなる半導体層38が積層したSOI基板(図22(a))に、イオン注入により第二導電型不純物を導入し(図22(b))、半導体層を中濃度第二導電型半導体層31とする。次に中濃度第二導電型半導体層31の上部に、中濃度第二導電型半導体層31よりも第二導電型不純物の濃度が低いシリコン層をエピタキシャル成長させることにより、エピタキシャル層12を形成する。次にエピタキシャル層12の上部にイオン注入により第二導電型の不純物を導入し、エピタキシャル層12の上部に上部中濃度第二導電型半導体層32を形成する(図23)。なお、中濃度第二導電型半導体層32は第二導電型不純物を含んだ単結晶シリコンをエピタキシャル層12の上部にエピタキシャル成長させることにより形成しても良い。

[0266] なお、中濃度第二導電型半導体層31の厚さHtopの好ましい値は、典型的には24.5nm以下であり、また、製造方法における容易性からはHtopは5nm以上が好ましく、従ってHtopは典型的には5nmから24.5nmであり、製造方法の容易性(製造の観点からは、Htopが大きいほうが作りやすい。)と効果の兼ね合いを考えると、好ましくは10nmから20nmの範囲であり、最も典型的なHtopの値は10nmである。

[0267] またエピタキシャル層12の厚さは典型的には30nmから100nmである。

[0268] 次に通常のリソグラフィ工程及びRIE等の通常のエッチング工程により、基板表面から突起する半導体層3をパターニングによって形成する(図24、記号13は低濃度チャネル形成領域)。次に半導体層3の側面にゲート絶縁膜4を設けたのち、ポリシリ

コンを堆積し、これを通常のリソグラフィ工程及びRIE工程によりエッチングすることによりパターニングしてゲート電極を形成し、続いて、ゲート電極をマスクに高濃度のイオン注入を行い、熱処理を行うことにより、ゲート電極に覆われない位置の半導体層3にソース／ドレイン領域6を設け、図25の形状を得る。なお、ゲート絶縁膜は、例えば半導体層3を熱酸化することによって設ける。また、ソース／ドレイン領域は垂直方向のイオン注入、斜めイオン注入あるいはプラズマドーピング等の不純物導入工程によって不純物を導入することにより形成する。

[0269] 続いて、全体に絶縁膜を堆積してこれをエッチバックすることにより、ゲート側壁14を設ける。ゲート側壁14をなす絶縁膜は、例えば SiO_2 単層膜、 Si_3N_4 単層膜、 SiO_2 及び Si_3N_4 からなる多層膜などの絶縁膜を用いる。また、ゲート側壁14をなす絶縁膜はCVD法等の製膜技術によって形成する。続いてソース／ドレイン領域6の上部、及びゲート電極5の上部に金属を堆積し、熱処理することにより、ソース／ドレイン領域6の上部及びゲート電極5の上部にシリサイド層15を形成する。続いて、層間絶縁膜16を堆積し、これを平坦化したのち、ソース／ドレイン領域6上部、及びゲート電極5の上部にコンタクトホールを開口し、金属を埋め込むことによりコンタクト17を形成し、金属よりなる配線18をコンタクト17に接続し、図26及び図27の形状を得る。なお、コンタクト領域への金属の埋め込みと配線となる金属の堆積は同時にあっても良い。なお、コンタクト17は配線18の下部に位置するが、図27においてはその位置を透視的に示した。

[0270] [効果]

本実施形態のトランジスタは半導体層上部コーナーに対する電界集中抑制効果に加えて、半導体層下部コーナーに対する電界集中抑制効果をもつ。従って半導体層上部コーナーにおける寄生トランジスタに加えて、半導体層下部コーナーにおける寄生トランジスタも抑制できる。

[0271] (第四実施形態)

[構造]

第四実施形態は、本発明における突起した半導体層の上部とゲート電極との間に当該半導体層の上面にチャネルが形成されないようにゲート電極よりも厚いキャップ

絶縁膜が設けられた形態である。

[0272] 例えば、第一実施形態、第二実施形態及び第三実施形態において、それぞれ半導体層3の上部、ゲート電極5よりも下部にキャップ絶縁膜8が形成された形態とすることができる。第一実施形態の図4に対応する形態として図44に示す形態が挙げられる。第二実施形態の図17、図19、図21に対応する形態としてそれぞれ図51、図53、図55に示す形態が挙げられる。第三実施形態の図26に対応する形態として、図59に示す形態が挙げられる。

[0273] [製造方法]

本実施形態においては、ゲート電極の形成工程前に半導体層上にキャップ絶縁膜を形成する工程を実施する他は、第一実施形態、第二実施形態及び第三実施形態とそれぞれ同様の製造方法によって電界効果型トランジスタを製造することができる。

[0274] 図44に示す形態の製造の説明図を図41～43、図45～47に示す。図41～43は図1～3に対応し、図45～47は図6～8に対応する。なお、図1～3に示す方法では突起した半導体層3を形成した後に不純物のイオン注入を行ってチャネル不純物濃度調整領域10を形成しているが、図41～43では、チャネル不純物濃度調整領域10となる不純物層10、その上にキャップ絶縁膜8となる絶縁層8を形成してから、パターニングを行って、上部にキャップ絶縁膜8を有する突起した半導体層3を形成している。図51に示す形態の製造の説明図を図48～50に示す。図48～50は図14～図16に対応する。図53に示す形態の製造の説明図を図52に示す。図52は図18に対応する。図55に示す形態の製造の説明図を図54に示す。図54は図20に対応する。図59に示す形態の製造の説明図を図56～58に示す。図56～58は図23～25に対応する。

[0275] なお、図48の斜めイオン注入工程は、レジストパターン22をマスクに実施しても良いし、レジストパターン22を除去したのち、キャップ絶縁膜8をマスクにイオン注入を実施しても良い。

[0276] また、図52、図54の工程では、ゲート電極のパターニングに続いて、ゲート電極に覆われていない領域のキャップ絶縁膜8をエッチングしてから、斜めイオン注入を行う。
。

[0277] [効果]

半導体層3上にキャップ絶縁膜8が設けられるダブルゲート構造においても、半導体層上部コーナーに対する電界集中を抑制することができる。従って半導体層上部コーナーにおける寄生トランジスタを抑制できる。

[0278] また、チャネル不純物濃度調整領域の不純物濃度を、第一実施形態、第二実施形態及び第三実施形態に適用される前記の好適な濃度範囲に設定すると、半導体層上部側面24(図40)にチャネルが形成されやすくなるので、ダブルゲートトランジスタにおいてもオン電流を向上させることが可能になる。

[0279] ダブルゲート構造のトランジスタにおいて、寄生トランジスタを抑制するために半導体層上端部に導入される第二導電型不純物濃度が高いと(例えばp⁺になる場合)、図40の半導体層上部側面24にチャネルが形成されなくなるが、本発明を適用することにより、半導体層上部側面24にもチャネルが形成されるので、その分だけ、オン電流が増す。

[0280] なお、図10はゲート電極にオン電圧を印加した状態での結果であるので、本発明においては、ゲート電極にオン電圧を印加した状態において、半導体層上部側面24にチャネルが形成されることによって、高いオン電流が得られると言える。

[0281] (第五実施形態)

[構造]

第五実施形態は、第一実施形態、第二実施形態、第三実施形態及び第四実施形態において突起した半導体層が支持基板と一体に接続された形態を持つ(図74、図75、図76、図77)。なお、図74は図4、図75は図17、図76は図21、図77は図26のそれぞれの図が示す実施形態において、突起した半導体層が支持基板と一体に接続された形態を示したものである。

[0282] なお、第五実施形態において、チャネル形成領域7とは、半導体層の側面にゲート絶縁膜を介してゲート電極が向かい合っている領域の下端より上に位置する半導体層3のうち、ソース／ドレイン領域に挟まれた領域を指す。「第二導電型であるチャネル形成領域」は、同じく半導体層の側面にゲート絶縁膜を介してゲート電極が向かい合っている領域の下端より上に位置する領域において考える。

[0283] [製造方法]

SOI基板に代えて、バルク半導体基板40を用いて、第一実施形態、第二実施形態、第三実施形態及び第四実施形態の製造方法を適用することによって電界効果型トランジスタを製造する。

[0284] 突起した半導体層はバルク半導体基板(典型的にはシリコン基板)を、RIE等のエッチングにより加工する。また、突起した半導体層の形成後でゲート電極の形成前に、基板上に SiO_2 等の絶縁体よりなるゲート下絶縁膜39を形成する工程(例えばCVD法で SiO_2 を堆積したのち、 SiO_2 をRIEにより所定の高さまでエッチバックする)を実施する。

[0285] なお、ゲート下絶縁膜39はゲート電極下部の寄生容量を低減する作用があるが、工程を簡略化したい場合、あるいはゲート電極下部の容量が増えても良い場合などでは、ゲート下絶縁膜39を設ける工程を省略しても良い。この場合、ゲート下絶縁膜39の位置には、ゲート絶縁膜の形成工程によって、ゲート絶縁膜と同程度の厚さの絶縁膜が形成される。

[0286] なお、SOI基板を用いるが、突起した半導体層3の周辺の領域で半導体層38が完全に除去されない場合(例えば突起した半導体層3を形成するためのエッチングで、突起した半導体層3の周辺の半導体層を完全に除去せず、突起した半導体層3の下部が埋め込み絶縁層上の半導体層に接続する場合。図80参照。図80は図4(a)、図74(a)に対応する断面図である。)の埋め込み絶縁層よりも上部の構造、及びゲート電極下絶縁膜39の形成方法についても、第五実施形態と同じである。

[0287] [効果]

突起した半導体層が支持基板と一体に接続された形態においても、第一実施形態、第二実施形態、第三実施形態及び第四実施形態と同じ効果が得られる。

[0288] (各実施形態における材料、寸法及びプロセス条件の具体例)

(第一実施形態)から(第五実施形態)における材料、寸法及びプロセス条件の具体例を挙げる。

[0289] (支持基板)

支持基板1は、通常単結晶のシリコンウェハであるが、石英、ガラス、サファイア、あ

るいはシリコン以外の半導体など、シリコン基板以外の基板が使われても良い。

[0290] (埋め込み絶縁層2)

埋め込み絶縁層2は、通常 SiO_2 であるが、他の絶縁体であっても良く、また複数の材料からなる多層膜であっても良い。また埋め込み絶縁層は多孔質 SiO_2 や SiOF 等の、 SiO_2 よりも誘電率が低い低誘電率材料であっても良い。また、支持基板が石英、ガラス、サファイアなどの絶縁体である場合は、支持基板1が埋め込み絶縁層2を兼ねても良い。また、埋め込み絶縁層2の厚さは通常50nmから2 μm 程度、より典型的には50nmから200nmであるが、必要に応じて50nm以下あるいは2 μm 以上であってもよい。

[0291] なお、第五実施形態においては、埋め込み絶縁層2を持たない構造が用いられる。

[0292] (半導体層3)

半導体層3は単結晶であることが、オン電流の向上及びオフ電流の抑制という観点から最も望ましいが、要求される仕様においてオン電流が低く設定される場合、または要求される仕様においてオフ電流が大きく設定される場合は、アモルファス、多結晶など単結晶以外の材料であっても良い。

[0293] また、半導体層3をシリコン以外の半導体層で置き換えるても良い。また、二種類以上の半導体の組み合わせによって置き換えて良い。

[0294] 半導体層3は基板面から突起した形状を持つ。基板面は一般には支持基板1の上面であるが、埋め込み絶縁層2と支持基板が一体化した構造の場合は埋め込み絶縁層2の上面である。

[0295] 半導体層3の高さ H_{fin} (図32、図33参照)は典型的には20nmから150nm、より典型的には50nmから100nmであり、半導体層の幅 W_{fin} (図32、図33参照)は典型的には5nmから100nmであり、より典型的には15nmから50nmである。但し、 H_{fin} 、 W_{fin} ともこの範囲以外の値を用いても良い。但し、チャネル形成領域の半導体層はゲート電極にしきい値電圧を印加した状態で空乏化していることが、FinFETの特性(Sファクタの縮小により代表される、ON-OFF特性の急峻化等)を生かすという観点から望ましい。ゲート電極にしきい値電圧を印加した状態で、半導体層の両側面から伸

びた空乏層が互いに接触する完全空乏化状態を実現するためには、通常Wfinを50nm以下、より典型的には35nm以下に設定することが好ましい。

[0296] また、本発明の各実施例において、熱酸化等の丸め工程によって、半導体層3の上部コーナー部を丸みを持つ形状に加工しても良い。半導体層3の上部コーナー部を丸みを持つ形状に加工した場合、図3(a)に対応する断面において得られる形状を図79(a)、図16(a)に対応する断面において得られる形状を図79(b)に示す。半導体層3の上部コーナー部に丸みを持たせることにも、上部コーナー部での電界集中を抑制し、寄生トランジスタを抑制する作用があるので、本発明の各実施形態において、上部コーナー部に丸みを持たせることにより、上部コーナー部での電界集中を抑制し、寄生トランジスタを抑制する効果をより強めることができる。また、埋め込み絶縁層上の半導体層3の下部コーナー部についても、各実施形態において、同様に丸め工程によって、曲率を持つ形状に加工しても良い。

[0297] なお、上部コーナー部が丸められた形態においても、チャネル不純物濃度調整領域の深さHtopは、半導体層の最も上の位置から測るものとする。埋め込み絶縁層上の半導体層3の下部コーナー部が丸められた形態においても、半導体層下部に設けられるチャネル不純物濃度調整領域の高さHtop2は、半導体層の最も下の位置から測るものとする。

[0298] (ゲート絶縁膜4)

ゲート絶縁膜4は、シリコンの熱酸化により形成したものであっても良く、他の方法により形成したSiO₂膜であっても良い。例えばラジカル酸化によって形成したSiO₂膜を用いても良い。また、ゲート絶縁膜をSiO₂以外の絶縁材料の膜に置き換えて良い。また、SiO₂とそれ以外の絶縁膜との多層膜、あるいはSiO₂以外の絶縁膜同士の多層膜に置き換えて良い。また、ゲート絶縁膜をHfO₂、HfSiO₄などの高誘電率材料に置き換えて良い。

[0299] ゲート絶縁膜の酸化膜換算膜厚は典型的には1.2nmから3nmである。但し酸化膜換算膜厚とは、ゲート絶縁膜を構成する絶縁膜の膜厚をゲート絶縁膜の誘電率で割った商にSiO₂の誘電率を乗じたものである。ゲート絶縁膜が多層膜である場合には、各層について前記方法で酸化膜換算膜厚を求めてそれらを足し合わせたもので

ある。但し、微細なトランジスタにおいて、厚さ1.2nm以下の酸化膜換算膜厚を持つゲート絶縁膜が使用されても良い。

[0300] (ゲート電極5)

ゲート電極5は、ポリシリコンなどの多結晶半導体であっても良く、また金属や金属化合物等の多結晶半導体以外の導電体であっても良い。ゲート電極5がポリシリコンなどの多結晶半導体で構成される場合、典型的には、ゲート電極5のポリシリコンにはチャネルと同じ導電型である第一導電型の不純物が高濃度に導入される。また、ゲート電極は、置換ゲート(リプレースメント・ゲートとも呼ばれる)プロセスにより形成しても良い。すなわち、一旦ダミー材料によりゲート電極の形状を形成し、ソース／ドレイン領域に第一導電型の不純物を高濃度に導入し、ダミー材料を絶縁膜で覆ったのちに、ダミー材料を除去して得られた空洞中にゲート電極、あるいはゲート絶縁膜とゲート電極を埋設する工程により形成しても良い。

[0301] ゲート電極材料がポリシリコン、多結晶シリコン－ゲルマニウム混晶等の半導体により形成される場合、ゲートへの不純物導入は、ソース／ドレインへの不純物導入と同時にあっても良い。また、ゲート電極材料の堆積と同時にあっても良い。また、ゲート電極材料を堆積し、ゲート電極の形状に加工する前に行っても良い。

[0302] (ソース／ドレイン領域6)

ソース／ドレイン領域6には第一導電型の不純物が高濃度に導入される。なお、本明細書においてソース／ドレイン領域とは、バルクトランジスタにおいて浅いソース／ドレイン領域(エクステンション領域とも呼ばれる)と呼ばれる領域及び深いソース／ドレイン領域と呼ばれる領域を全て含むものとする。

[0303] FinFETにおいて、エクステンション領域、深いソース／ドレイン領域の定義は一般に明確にされていないが、例えば図73(b)においてゲートに隣接する短冊状の領域に形成されるソース／ドレイン領域とゲートから離れた位置で短冊状の領域が互いに接続された領域の双方を含むものとする。

[0304] また、ソース／ドレイン領域の寄生抵抗を縮小するために、ソース／ドレイン領域の一部にシリコンなどの半導体をエピタキシャル成長させることにより、ソース／ドレイン領域をなす半導体層の大きさを上方または面内方向に拡大する手法を組み合わせ

て作製しても良い。

[0305] また、ソース／ドレイン領域の一部がゲート電極に覆われる領域に侵入しても良い。

[0306] (チャネル形成領域7)

チャネル形成領域7には低濃度のアクセプタまたはドナー不純物が導入される。ゲート電極が第一導電型のポリシリコンである場合は、しきい値電圧を適当な値に設定する必要から典型的には低濃度の第二導電型不純物がチャネル形成領域に導入され、チャネル形成領域は第二導電型になる。

[0307] また、チャネル形成領域のうちゲート電極に覆われ、ソース／ドレイン領域に隣接した領域に、ゲート電極に覆われ、ソース／ドレイン領域に隣接しない部分に比べて第二導電型不純物がやや高く導入された領域である、ハロー領域を設けても良い。

[0308] また、各実施形態においては、単一のチャネル形成領域からなるFinFETを例に説明したが、複数のチャネル形成領域を持つFinFET(73(a)または図73(b)に図示。ゲート電極5に覆われた半導体層3にチャネル形成領域がある。)において、各実施形態を適用しても良い。なお、図73のA-A'断面、B-B'断面は、各実施形態のA-A'断面、B-B'断面に相当する。

[0309] (キャップ絶縁膜8)

第四実施形態に用いられるキャップ絶縁膜8は、 SiO_2 膜あるいは Si_3N_4 膜などの単層の絶縁膜であっても良く、 SiO_2 膜、 Si_3N_4 膜などの絶縁膜よりなる多層膜であっても良い。キャップ絶縁膜8の厚さは典型的には10nmから100nm、より典型的には10nmから50nmであるが、ゲート絶縁膜厚に対して最低でも2倍以上の膜厚があればよいので、ゲート絶縁膜が薄い場合は10nm以下であっても良い。

[0310] (チャネル不純物濃度調整領域10)

本発明の各実施形態においては、チャネル不純物濃度調整領域が半導体層の上部だけに設けられる場合、チャネル不純物濃度調整領域の不純物濃度は、チャネル不純物濃度調整領域が設けられない場合に比べて(すなわちチャネル不純物濃度調整領域の不純物濃度をNで置き換えた場合に比べて)半導体層の上部コーナー部での電位上昇を低減できるNtopとNとの関係を満たすように設定される。この時、半導体層の上部コーナー部での電位上昇低減量は、典型的には半導体層の上部コ

ーナー部の少なくとも一部の領域で、60mV以上(60mVの低減は寄生トランジスタによる漏れ電流が一桁減少する条件に相当。)の低減であることが望ましい。

[0311] 本発明の各実施形態においては、チャネル不純物濃度調整領域が半導体層の下部に設けられる場合、半導体層の下部に設けられるチャネル不純物濃度調整領域の不純物濃度は、半導体層の下部にチャネル不純物濃度調整領域が設けられない場合に比べて(すなわち半導体層下部のチャネル不純物濃度調整領域の不純物濃度をNで置き換えた場合に比べて)半導体層の下部コーナー部での電位上昇を低減できるように設定される。この時、半導体層の下部コーナー部での電位上昇低減量は、典型的には半導体層下部コーナー部の少なくとも一部の領域で、60mV以上の低減であることが望ましい。

[0312] (ゲート側壁14)

ゲート側壁14は、 SiO_2 膜あるいは Si_3N_4 膜などの単層の絶縁膜であっても良く、 SiO_2 膜、 Si_3N_4 膜などの絶縁膜よりなる多層膜であっても良い。また SiO_2 より誘電率が低い材料で形成しても良い。ゲート側壁14の厚さは通常20nmから150nmであるが、素子の微細化が必要な場合等には20nm以下としても良い。

[0313] (シリサイド層15)

シリサイド層15は、典型的にはチタンシリサイド、コバルトシリサイド、ニッケルシリサイド、あるいは白金シリサイド等の材料からなるが、これら以外のシリサイドを用いても良い。シリサイド層15は例えばチタン、コバルト、ニッケル、白金などの金属をスパッタリング法などの堆積技術でソース／ドレイン領域上に堆積し、熱処理を行うことによって金属とシリコン層との間でシリサイド化反応を起こすことにより形成する。

[0314] (コンタクト17及び配線18)

コンタクト17及び配線18は、通常のコンタクト形成工程及び通常の配線工程により形成される。コンタクト17及び配線18は通常アルミ、銅などの金属により形成され、TiNなど他の導電性材料が適宜組み合わされる。

[0315] (半導体層38)

半導体層38は単結晶であることが、オン電流の向上及びオフ電流の抑制という観点から最も望ましいが、要求されるオン電流の仕様が低い場合、または要求されるオ

フ電流の仕様が大きい場合は、アモルファス、多結晶など単結晶以外の材料であつても良い。

[0316] また、半導体層38をシリコン以外の半導体層で置き換えるても良い。また、二種類以上の半導体の組み合わせによって置き換えて良い。

[0317] (不純物の導入)

イオン注入によって導入される不純物の種類及び濃度は、ソース／ドレイン領域、ゲート電極などの高濃度領域においては、典型的には $5 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{21} \text{ cm}^{-3}$ のドナー不純物もしくはアクセプタ不純物が導入される。より典型的には、 $3 \times 10^{19} \text{ cm}^{-3}$ から $1 \times 10^{20} \text{ cm}^{-3}$ のドナー不純物もしくはアクセプタ不純物が導入される。不純物の導入は例えばイオン注入、あるいは気相拡散により行う。イオン注入時の典型的なドーズ量は $1 \times 10^{14} \text{ cm}^{-12}$ から $3 \times 10^{15} \text{ cm}^{-2}$ 、より典型的には $3 \times 10^{14} \text{ cm}^{-12}$ から $1 \times 10^{15} \text{ cm}^{-2}$ である。

[0318] チャネル不純物濃度調整領域を除いたチャネル形成領域などの低濃度領域におけるネット不純物濃度(第一導電型不純物濃度と、第二導電型不純物濃度の差の絶対値)は、典型的には $5 \times 10^{17} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ 、より典型的には $1 \times 10^{18} \text{ cm}^{-3}$ から $5 \times 10^{18} \text{ cm}^{-3}$ である。

[0319] 但し、これらの典型的な不純物濃度を各領域の主要部分に持つトランジスタにおいても、イオン注入の条件によっては局所的にこれらの典型的な値を超える場合がある。

[0320] ソース／ドレイン領域に導入する第一導電型の不純物、及びゲート電極に導入する第一導電型の不純物は、nチャネルトランジスタの場合はn型の導電型を持つドナー不純物を、pチャネルトランジスタの場合はp型の導電型を持つアクセプタ不純物を選べば良い。

[0321] ハロー領域に導入される第二導電型の不純物は、nチャネルトランジスタの場合はp型の導電型を持つアクセプタ不純物を、pチャネルトランジスタの場合はn型の導電型を持つドナー不純物を選べば良い。

[0322] n型不純物の典型例はヒ素、リン、アンチモンである。p型不純物は典型例はホウ素、インジウムである。

[0323] イオン注入した不純物の活性化は、イオン注入後、通常の電気炉によるアニール、ランプアニールなどの加熱処理によって行う。なお、チャネル領域へ注入したイオンを活性化するための熱処理は、イオン注入直後に行っても良く、ソース／ドレイン領域に導入した不純物を活性化するための熱処理で兼ねても良い。

[0324] ソース／ドレイン領域への不純物の導入はゲート電極の形成後にゲート電極に覆われていない領域に対して導入する方法を用いてもよく、またゲート電極の形成よりも前に、ソース／ドレイン領域が形成されるべき領域にあらかじめ不純物を導入しておく方法を用いても良い。

[0325] (ソース／ドレイン領域6、コンタクト17、配線18の配置)
各実施形態におけるソース／ドレイン領域6、層間絶縁膜16、コンタクト17、配線18等、半導体装置を構成する各部分の配置は通常のFinFETと同様である。例えば第一実施形態を説明する図4及び図5に図示される配置と同じ配置をとる。

[0326] (チャネルタイプ)
なお各実施形態においては、主にnチャネルトランジスタについて説明したが、本発明は、nチャネルトランジスタ、pチャネルトランジスタのいずれにも適用される。pチャネルトランジスタにおいては、極性を逆にすれば(例えば、nチャネルトランジスタにおける電位上昇を、pチャネルトランジスタにおいては電位低下と読みかえる。また、nチャネルトランジスタにおけるしきい値電圧の低下を、pチャネルトランジスタにおいてはしきい値電圧の上昇と読みかえる。また、電圧や電位が高いという記載を電圧や電位が低いと読みかえる。また、ドレイン電圧など印加電圧の符号を逆にする。)同様の議論が成り立つ。

請求の範囲

[1] 基体平面から上方に突起した半導体層と、この半導体層の両側面上に設けられたゲート電極と、このゲート電極と前記半導体層の側面の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、このチャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、このチャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する側面部分にチャネルが形成されることを特徴とする電界効果型トランジスタ。

[2] 基体平面から上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、このチャネル形成領域における半導体層上部には、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を有し、このチャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する上面および側面部分にチャネルが形成されることを特徴とする電界効果型トランジスタ。

[3] 前記チャネル不純物濃度調整領域は、当該半導体層の下方部分の第2導電型不純物濃度と同じ濃度を半導体層上部に有するときに、nチャネルトランジスタの場合は当該半導体層上部のコーナー部で上昇する電位を低減できる、pチャネルトランジスタの場合は当該半導体層上部のコーナー部での電位低下を縮小できる、

不純物濃度を有する請求項1又は2に記載の電界効果型トランジスタ。

[4] nチャネルトランジスタの場合は当該半導体層上部のコーナー部で上昇する電位を60mV以上縮小できる、
pチャネルトランジスタの場合は当該半導体層上部のコーナー部での電位低下を60mV以上縮小できる、
不純物濃度を有する請求項1、2又は3に記載の電界効果型トランジスタ。

[5] 前記チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲にある請求項1～4のいずれか一項に記載の電界効果型トランジスタ。

[6] 前記チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある請求項1～4のいずれか一項に記載の電界効果型トランジスタ。

[7] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの0.7倍以下である請求項1～6のいずれか1項に記載の電界効果型トランジスタ。

[8] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7／40倍以上である請求項1～7のいずれか1項に記載の電界効果型トランジスタ。

[9] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が5～24.5nmの範囲にある請求項1～8のいずれか1項に記載の電界効果型トランジスタ。

[10] 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いたその他の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である請求項1～9のいずれか一項に記載の電界効果型トランジスタ。

[11] 前記チャネル不純物濃度調整領域は、前記チャネル形成領域における半導体層上部において基体平面と平行な面内方向全体にわたって設けられている請求項1～

10のいずれか一項に記載の電界効果型トランジスタ。

[12] 前記チャネル不純物濃度調整領域として、前記チャネル形成領域における半導体層上部において、当該半導体層のコーナー部の少なくとも一部を含むように当該チャネル不純物濃度調整領域を有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つ請求項1～10のいずれか一項に記載の電界効果型トランジスタ。

[13] 前記チャネル形成領域における半導体層の上部において、一方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第1チャネル不純物濃度調整領域と、他方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のソース／ドレイン領域間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項12に記載の電界効果型トランジスタ。

[14] 前記チャネル形成領域における半導体層の上部において、一方のソース／ドレン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第1チャネル不純物濃度調整領域と、他方のソース／ドレン領域に接するよう一方のコーナー部から他方のコーナー部にかけて連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するように一対のコーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項12に記載の電界効果型トランジスタ。

[15] 前記チャネル形成領域における半導体層の上部において、一方のソース／ドレン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられたチャネル不純物濃度調整領域を有し、
前記チャネル不純物濃度調整領域と他方のソース／ドレン領域との間にはチャネル不純物濃度調整領域を有しない請求項12に記載の電界効果型トランジスタ。

[16] 前記チャネル形成領域における半導体層の上部において、一方のソース／ドレイ

ン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第2チャネル不純物濃度調整領域と、一方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第3チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第4チャネル不純物濃度調整領域とを有し、さらにこれらのチャネル不純物濃度調整領域が互いに分離するように一対のソース／ドレイン領域間および一対の第1／第2コーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項12に記載の電界効果型トランジスタ。

[17] 前記チャネル形成領域における半導体層の上部において、第一のソース／ドレン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、前記第一のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第2チャネル不純物濃度調整領域を有し、
前記第1チャネル不純物濃度調整領域と前記第2チャネル不純物濃度調整領域との間には、チャネル不純物濃度調整領域を有しない部分を持ち、
第一のソース／ドレイン領域に対向する第二のソース／ドレイン領域の近傍にはチャネル不純物濃度調整領域を有しないことを特徴とする、請求項12に記載の電界効果型トランジスタ。

[18] 基体平面から上方に突起した半導体層と、この半導体層の両側面上に設けられたゲート電極と、このゲート電極と前記半導体層の側面の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、
前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、当該ソース／ドレイン領域に挟まれた部分における半導体層上部において、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を当該半導体層のコーナー部の少なくとも一部を含むように有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つことを特徴とする不純物濃度を有する電界効果型トランジスタ。

[19] 基体平面から上方に突起した半導体層と、この半導体層を跨ぐようにその上部から相対する両側面上に延在するゲート電極と、このゲート電極と前記半導体層の間に介在するゲート絶縁膜と、前記半導体層に第1導電型不純物が導入されたソース／ドレイン領域とを有し、
前記半導体層は、前記ソース／ドレイン領域に挟まれた部分にチャネル形成領域を有し、当該ソース／ドレイン領域に挟まれた部分における半導体層上部において、その下方部分より第2導電型不純物濃度が高いチャネル不純物濃度調整領域を当該半導体層のコーナー部の少なくとも一部を含むように有し、さらに当該チャネル不純物濃度調整領域を含む基体平面に平行な断面において当該チャネル不純物濃度調整領域を有しない部分を持つことを特徴とする不純物濃度を有する電界効果型トランジスタ。

[20] 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第1チャネル不純物濃度調整領域と、他方のコーナー部を含み一対のソース／ドレイン領域間を結ぶようにチャネル長方向に沿って連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するよう一対のソース／ドレイン領域間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項18又は19に記載の電界効果型トランジスタ。

[21] 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられた第2チャネル不純物濃度調整領域とを有し、さらに第1チャネル不純物濃度調整領域と第2チャネル不純物濃度調整領域の間にこれらを互いに分離するよう一対のコーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項18又は19に記載の電界効果型トランジスタ。

[22] 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、

一方のソース／ドレイン領域に接するように一方のコーナー部から他方のコーナー部にかけて連続して設けられたチャネル不純物濃度調整領域を有し、

前記チャネル不純物濃度調整領域と他方のソース／ドレイン領域との間にはチャネル不純物濃度調整領域を有しない、請求項18又は19に記載の電界効果型トランジスタ。

[23] 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、一方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部の一部を含む第2チャネル不純物濃度調整領域と、一方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第3チャネル不純物濃度調整領域と、他方のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第4チャネル不純物濃度調整領域とを有し、さらにこれらのチャネル不純物濃度調整領域が互いに分離するように一対のソース／ドレイン領域間および一対の第1／第2コーナー部間にわたってこれらチャネル不純物濃度調整領域を有しない部分を持つ請求項18又は19に記載の電界効果型トランジスタ。

[24] 前記ソース／ドレイン領域に挟まれた部分における半導体層の上部において、第一のソース／ドレイン領域に接し第1のコーナー部の一部を含む第1チャネル不純物濃度調整領域と、前記第一のソース／ドレイン領域に接し第1のコーナー部に対向する第2のコーナー部の一部を含む第2チャネル不純物濃度調整領域を有し、

前記第1チャネル不純物濃度調整領域と前記第2チャネル不純物濃度調整領域との間には、チャネル不純物濃度調整領域を有しない部分を持ち、

第一のソース／ドレイン領域に対向する第二のソース／ドレイン領域の近傍にはチャネル不純物濃度調整領域を有しないことを特徴とする、

請求項18又は19に記載の電界効果型トランジスタ。

[25] 前記チャネル不純物濃度調整領域は、当該チャネル不純物濃度調整領域を含む基体平面に垂直な断面において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲

にある請求項18又は19に記載の電界効果型トランジスタ。

[26] 前記チャネル不純物濃度調整領域は、当該チャネル不純物濃度調整領域を含む基体平面に垂直な断面において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある請求項18又は19に記載の電界効果型トランジスタ。

[27] 前記チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分の半導体層における基体平面に垂直な線上において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下の範囲にある濃度分布を有する請求項18又は19に記載の電界効果型トランジスタ。

[28] 前記チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分の半導体層における基体平面に垂直な線上において、当該チャネル不純物濃度調整領域の第2導電型のネット不純物濃度の平均値が、当該チャネル不純物濃度調整領域の下方の他の領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下の範囲にある濃度分布を有する請求項18又は19に記載の電界効果型トランジスタ。

[29] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅W_{fin}の0.7倍以下である請求項18～28のいずれか1項に記載の電界効果型トランジスタ。

[30] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅W_{fin}の7/40倍以上である請求項18～28のいずれか1項に記載の電界効果型トランジスタ。

[31] 前記チャネル不純物濃度調整領域は、前記半導体層の上端から下方への深さH_{top}が5～24.5nmの範囲にある請求項18～28のいずれか1項に記載の電界効果型トランジスタ。

[32] 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いたその他

の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である請求項18～31のいずれか一項に記載の電界効果型トランジスタ。

[33] 前記半導体層は、当該半導体層上部に設けられた前記チャネル不純物濃度調整領域である上部チャネル不純物濃度調整領域と、この上部チャネル不純物濃度調整領域の下方に設けられた、上部チャネル不純物濃度調整領域より第2導電型不純物濃度が低い中部チャネル形成領域と、この中部チャネル形成領域下方の半導体層下部に設けられた、中部チャネル形成領域より第2導電型不純物濃度が高い下部チャネル不純物濃度調整領域とを有する請求項1、2、18又は19に記載の電界効果型トランジスタ。

[34] 前記下部チャネル不純物濃度調整領域は、前記ゲート電極に信号電圧を印加した動作状態において、当該下部チャネル不純物濃度調整領域における半導体層の前記ゲート絶縁膜に相対する側面部分にチャネルが形成される請求項33に記載の電界効果型トランジスタ。

[35] 前記下部チャネル不純物濃度調整領域は、前記中部チャネル形成領域の第2導電型不純物濃度と同じ濃度を半導体層下部に有するときに当該半導体層下部のコーナー部で上昇する電位を低減できる不純物濃度を有する請求項33又は34に記載の電界効果型トランジスタ。

[36] 前記下部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル形成領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下である請求項33、34又は35に記載の電界効果型トランジスタ。

[37] 前記上部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル形成領域における第2導電型のネット不純物濃度の平均値の1.3倍以上4倍以下である請求項36に記載の電界効果型トランジスタ。

[38] 前記下部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下である請求項33、34又は35に記載の電界効果型トランジスタ。

[39] 前記上部チャネル不純物濃度調整領域における第2導電型のネット不純物濃度の平均値が、前記中部チャネル領域における第2導電型のネット不純物濃度の平均値の1.5倍以上3倍以下である請求項38に記載の電界効果型トランジスタ。

[40] 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な前記半導体層の幅Wfinの0.7倍以下である請求項33～39のいずれか一項に記載の電界効果型トランジスタ。

[41] 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な前記半導体層の幅Wfinの0.7倍以下である請求項40に記載の電界効果型トランジスタ。

[42] 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7/40倍以上である請求項33～40のいずれか1項に記載の電界効果型トランジスタ。

[43] 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が、基体平面に平行かつチャネル長方向に垂直な当該半導体層の幅Wfinの7/40倍以上である請求項42に記載の電界効果型トランジスタ。

[44] 前記下部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が5～24.5nmの範囲にある請求項33～43のいずれか1項に記載の電界効果型トランジスタ。

[45] 前記上部チャネル不純物濃度調整領域は、前記半導体層の下端から上方への高さHtop2が5～24.5nmの範囲にある請求項44に記載の電界効果型トランジスタ。

[46] 前記下部チャネル不純物濃度調整領域は、前記ソース／ドレイン領域に挟まれた部分における半導体層下部において基体平面と平行な面内方向全体にわたって設けられている請求項33～45のいずれか一項に記載の電界効果型トランジスタ。

[47] 前記下部チャネル不純物濃度調整領域として、前記ソース／ドレイン領域に挟まれた部分における半導体層下部において、当該半導体層のコーナー部の少なくとも一部を含むように当該チャネル不純物濃度調整領域を有し、さらに当該下部チャネル

不純物濃度調整領域を含む基体平面に平行な断面において当該下部チャネル不純物濃度調整領域を有しない部分を持つ請求項33～45のいずれか一項に記載の電界効果型トランジスタ。

[48] 前記チャネル形成領域のうち前記上部チャネル不純物濃度調整領域と前記下部チャネル不純物濃度調整領域を除いたその他の領域における第2導電型のネット不純物濃度の平均値が $1 \times 10^{18} \text{ cm}^{-3}$ 以上である請求項33～47のいずれか一項に記載の電界効果型トランジスタ。

[49] 前記半導体層の上部と前記ゲート電極との間に、当該半導体層の上面にチャネルが形成されないように前記ゲート絶縁膜よりも厚いキャップ絶縁膜が設けられた請求項1又は18に記載の電界効果型トランジスタ。

[50] 前記の突起した半導体層の下には支持基板を有し、当該半導体層はこの支持基板と一緒に接続している請求項1～49のいずれか一項に記載の電界効果型トランジスタ。

[51] 前記の突起した半導体層の下には支持基板を有し、当該半導体層はこの支持基板上に埋め込み絶縁膜を介して設けられている請求項1～49のいずれか一項に記載の電界効果型トランジスタ。

[52] 前記チャネル形成領域のうち前記チャネル不純物濃度調整領域を除いた領域において、半導体層側面の電位が半導体層中心部の電位に対して、nチャネルトランジスタの場合は120mV以上上昇し、pチャネルトランジスタの場合は120mV以下下げていることを特徴とする、請求項1～51のいずれか一項に記載の電界効果型トランジスタ。

[53] 請求項1又2に記載の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、このゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ゲート電極下の半導体層の上部にチャネル不純物濃度調整領域を形成する工程を有する電界効果型トランジスタの製造方法。

[54] ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする請求項53に記載の電界効果型トランジスタの製造方法。

[55] ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする請求項53に記載の電界効果型トランジスタの製造方法。

[56] 請求項1又は2に記載の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う第一の斜めイオン注入工程と、前記ゲート電極をマスクとして当該半導体層の両側面のそれぞれに対して、当該ゲート電極の両側からそれぞれ基体平面に対して斜めに、また基体平面に垂直でチャネル長方向に平行な平面に対しては前記第一の斜めイオン注入工程よりも大きな角度で、第2導電型不純物のイオン注入を行う第二の斜めイオン注入工程を有する電界効果型トランジスタの製造方法。

[57] 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする、請求項56に記載の電界効果型トランジスタの製造方法。

[58] 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする、請求項56に記載の電界効果型トランジスタの製造方法。

[59] 請求項1又は2に記載の電界効果型トランジスタの製造方法であって、半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐようにダミーゲート電極を形成する工程と、前記ダミーゲート電極をマスクとして当該ダミーゲート電極の両側からそれぞれ基

体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ダミーゲート電極下の半導体層の上部にチャネル不純物濃度調整領域を形成する工程と、

前記ダミーゲート電極をマスクとして当該半導体層に第1導電型不純物を導入してソース／ドレイン領域を形成する工程と、

前記ダミーゲート電極を埋め込むように厚い絶縁膜を形成する工程と、

前記ダミーゲート電極を除去し、形成された空隙内にゲート絶縁膜を介して導電性材料を埋め込んでゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[60]

請求項1又は2に記載の電界効果型トランジスタの製造方法であって、

半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、

この突起した半導体層の上部に第2導電型不純物を導入して前記チャネル不純物濃度調整領域を形成する工程と、

この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[61]

請求項1又は2に記載の電界効果型トランジスタの製造方法であって、

半導体層に第2導電型不純物を導入して、当該半導体層の上部にその下方部分より第2導電型不純物の濃度が高いチャネル不純物濃度調整領域を形成する工程と、

前記半導体層をパターニングして、上部に第2導電型不純物の前記チャネル不純物濃度調整領域を有する基体平面から突起した半導体層を形成する工程と、

この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[62]

請求項20に記載の電界効果型トランジスタの製造方法であって、

半導体層上にマスクパターンを形成する工程と、

前記マスクパターンをマスクとして当該マスクパターンの両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該マスクパターンの周縁近傍において、当該マスクパターンの下部の半導体層に第2導電型不純物を導入する工程と、

前記マスクパターンをマスクとして当該半導体層をパターニングし、前記第2導電型不純物領域からなる第1及び第2のチャネル不純物濃度調整領域を上部に有する基体平面から突起した半導体層を形成する工程と、

この突起した半導体層の側面にゲート絶縁膜を介してゲート電極を形成する工程を有する電界効果型トランジスタの製造方法。

[63]

請求項21に記載の電界効果型トランジスタの製造方法であって、

半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行い、当該ゲート電極下部の半導体層の上部に当該ゲート電極の一対の辺に沿って互いに分離した第1及び第2のチャネル不純物濃度調整領域を形成する工程を有する電界効果型トランジスタの製造方法。

[64]

ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする請求項63に記載の電界効果型トランジスタの製造方法。

[65]

ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う工程において、前記イオン注入を基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする請求項63に記載の電界効果型トランジスタの製造方法。

[66]

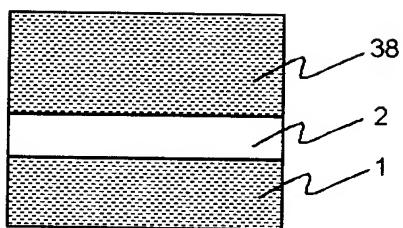
請求項23に記載の電界効果型トランジスタの製造方法であって、

半導体層をパターニングして基体平面から突起した半導体層を形成する工程と、この突起した半導体層を跨ぐように絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極をマスクとして当該ゲート電極の両側からそれぞれ基体平面に対して斜めに第2導電型不純物のイオン注入を行う第一の斜めイオン注入工程と、前記ゲート電極をマスクとして当該半導体層の両側面のそれぞれに対して、当該ゲート電極の両側からそれぞれ基体平面に対して斜めに、また基体平面に垂直でチャネル長方向に平行な平面に対しては前記第一の斜めイオン注入工程よりも大きな角

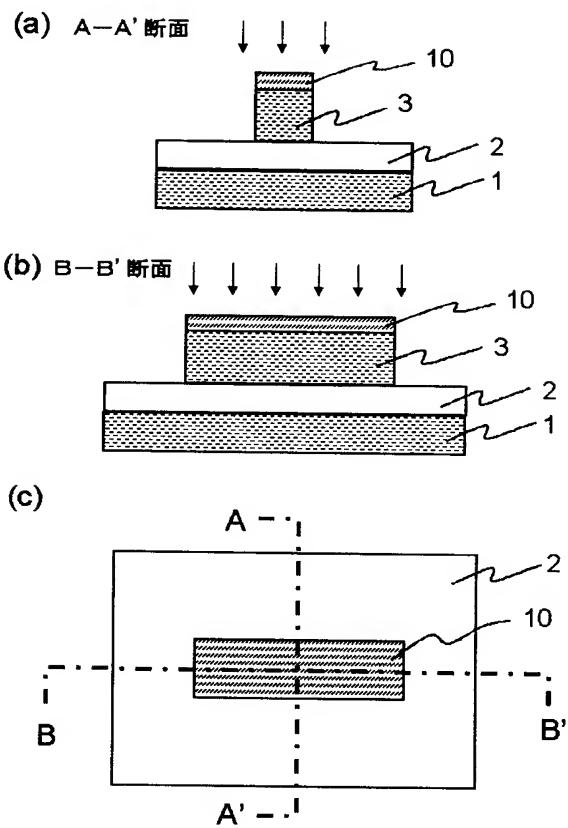
度で、第2導電型不純物のイオン注入を行う第二の斜めイオン注入工程を有する電界効果型トランジスタの製造方法。

- [67] 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して10度以内の角度で行うことを特徴とする、請求項66に記載の電界効果型トランジスタの製造方法。
- [68] 前記第一の斜めイオン注入工程は、基体平面に垂直でチャネル長方向に平行な平面に対して平行に行うことを特徴とする、請求項66に記載の電界効果型トランジスタの製造方法。
- [69] 請求項33に記載の電界効果型トランジスタの製造方法であって、半導体層に第二導電型不純物を導入して第2導電型不純物層を形成する工程と、前記半導体層上に、前記第2導電型不純物層より低い第2導電型不純物濃度を有する半導体層をエピタキシャル成長させる工程と、このエピタキシャル成長半導体層および前記第2導電型不純物層をパターニングして、当該第2導電型不純物層からなる下部チャネル不純物濃度調整領域を有する基体平面から突起した半導体層を形成する工程を有する電界効果型トランジスタの製造方法。

[図1]

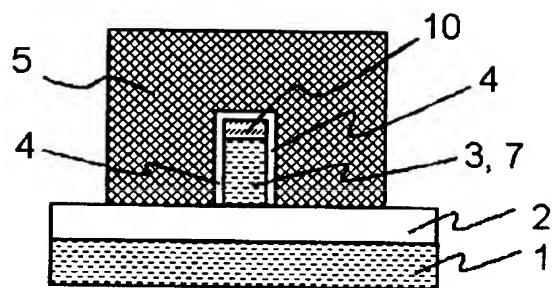


[図2]

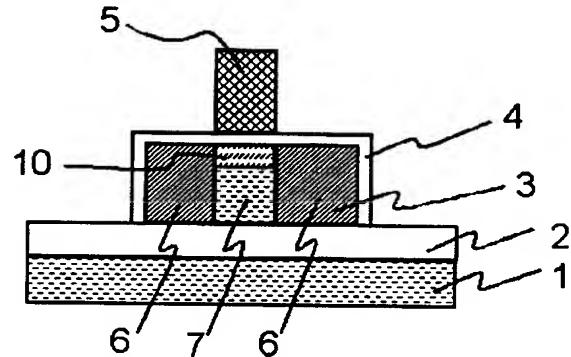


[図3]

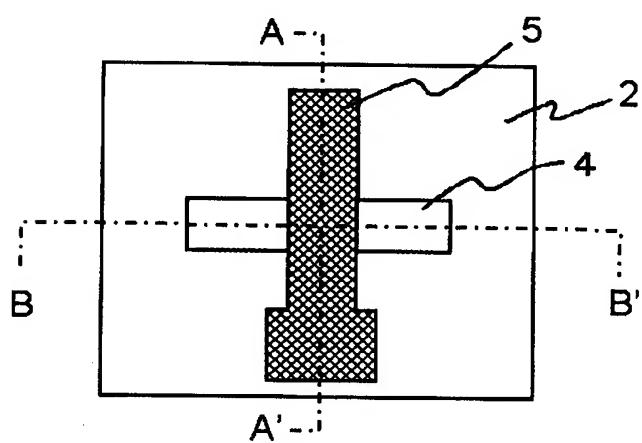
(a) A-A' 断面



(b) B-B' 断面

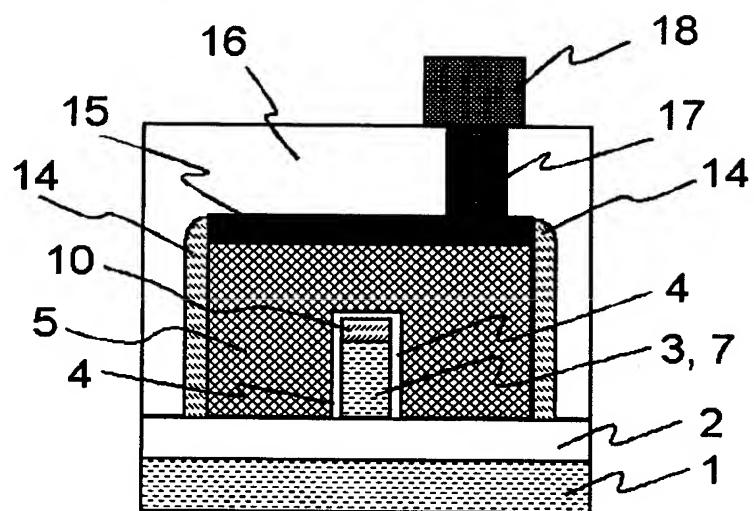


(c)

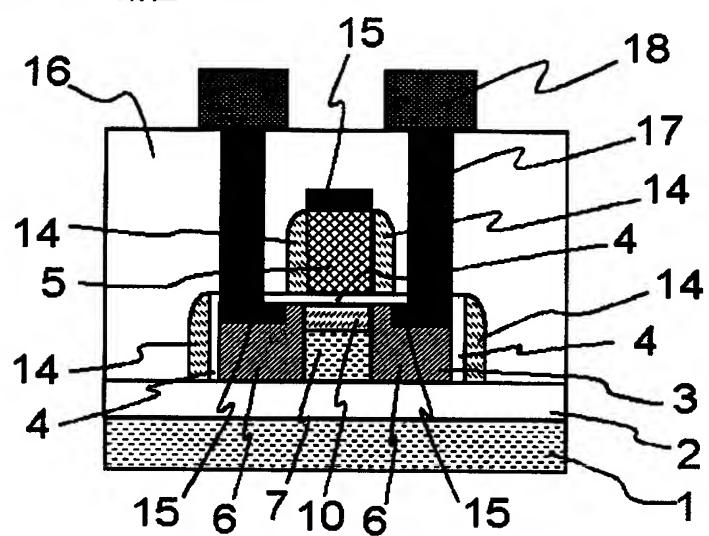


[図4]

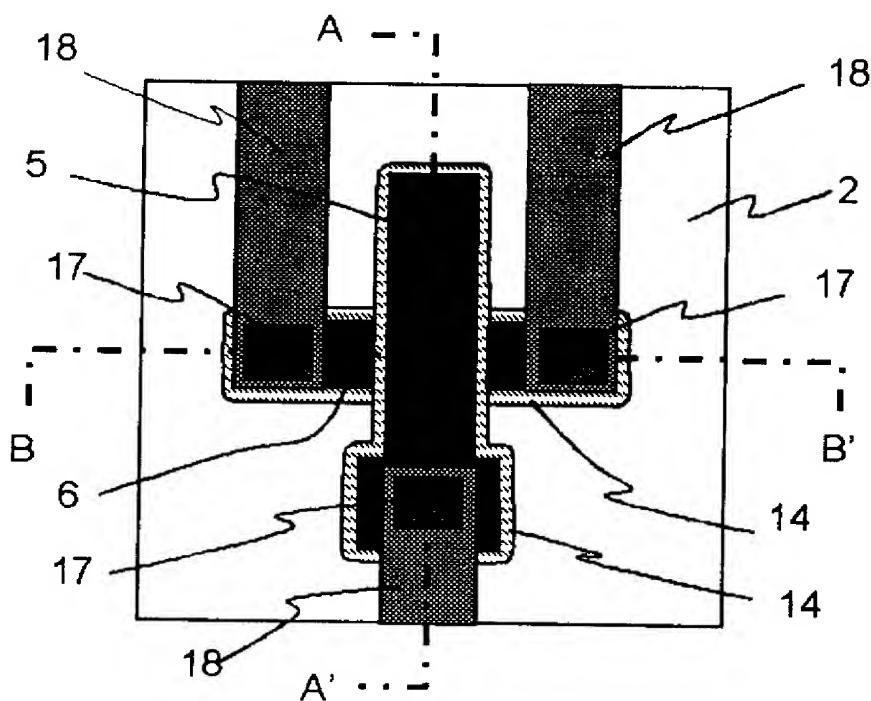
(a) A-A' 断面



(b) B-B' 断面

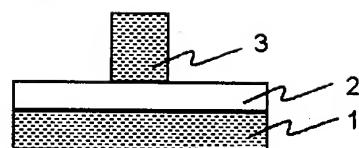


[図5]

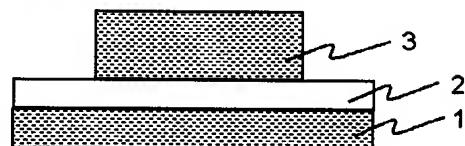


[図6]

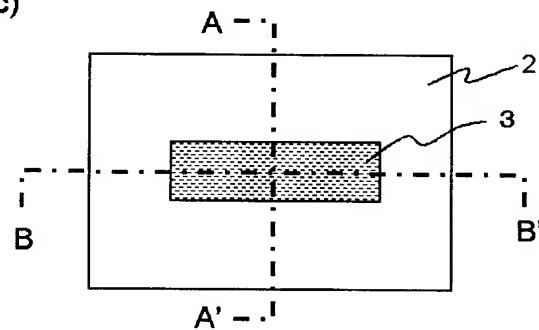
(a) A-A' 断面



(b) B-B' 断面

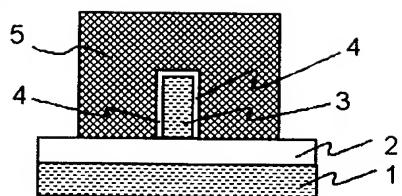


(c)

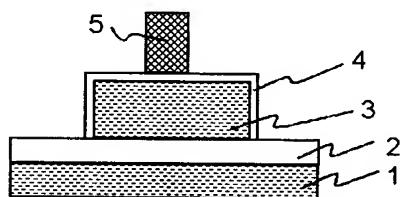


[図7]

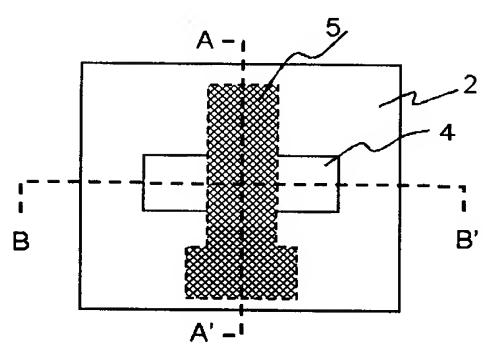
(a) A-A' 断面



(b) B-B' 断面

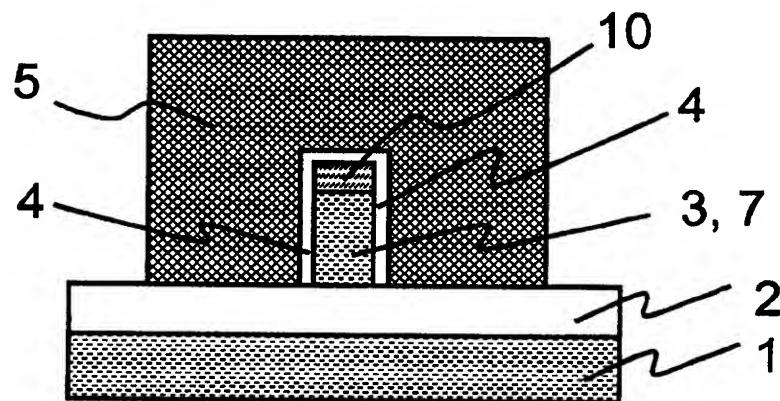


(c)

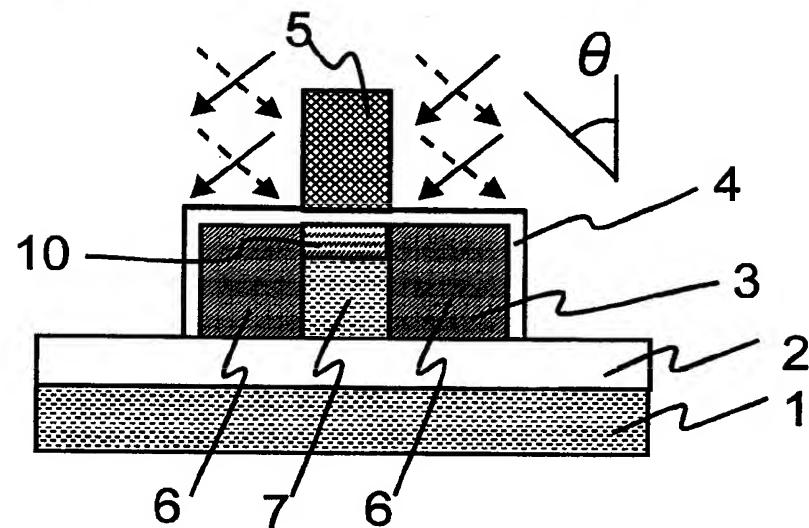


[図8]

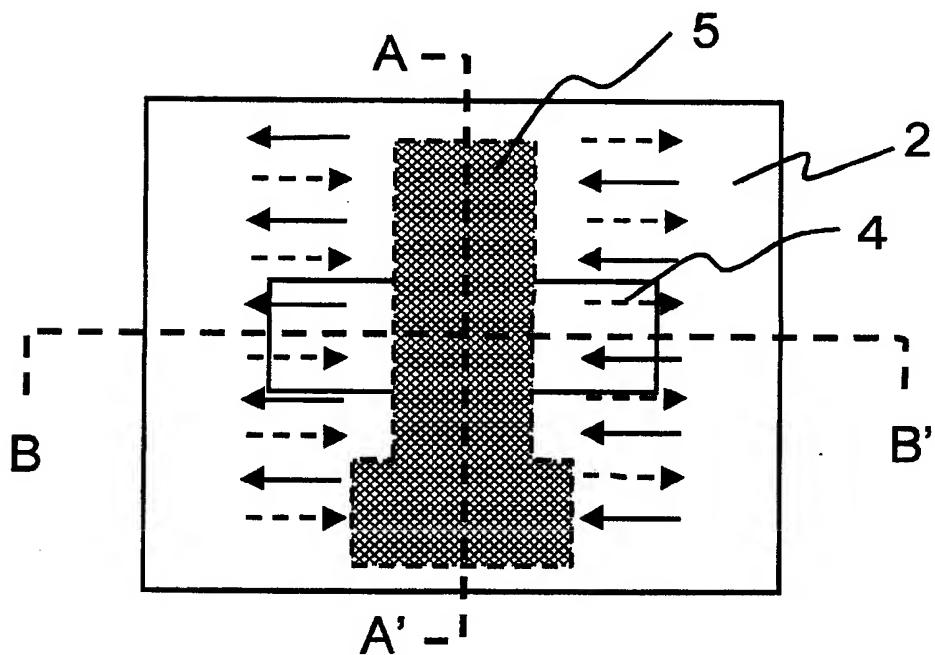
(a) A-A' 断面



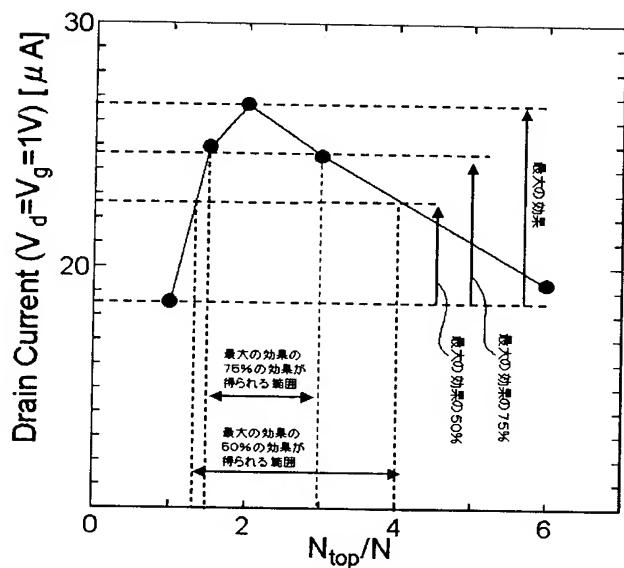
(b) B-B' 断面



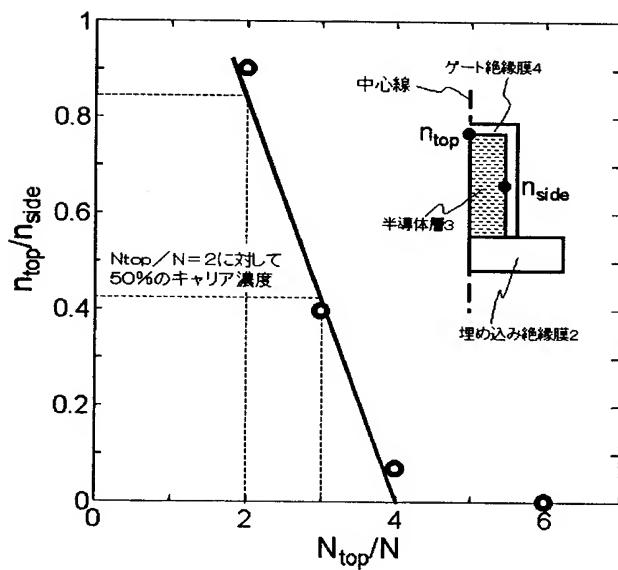
(c)



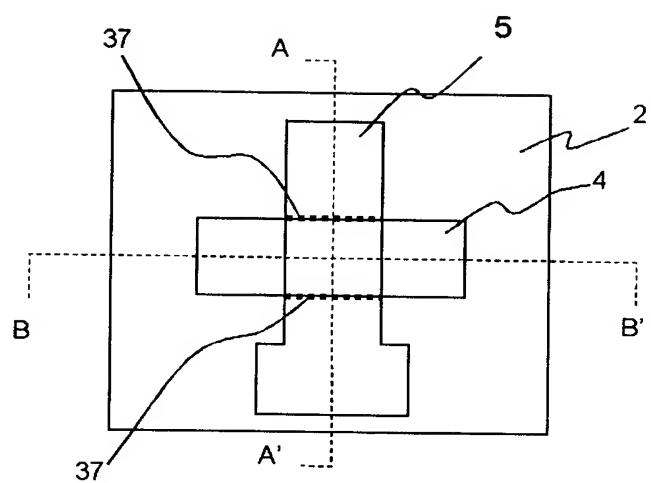
[図9]



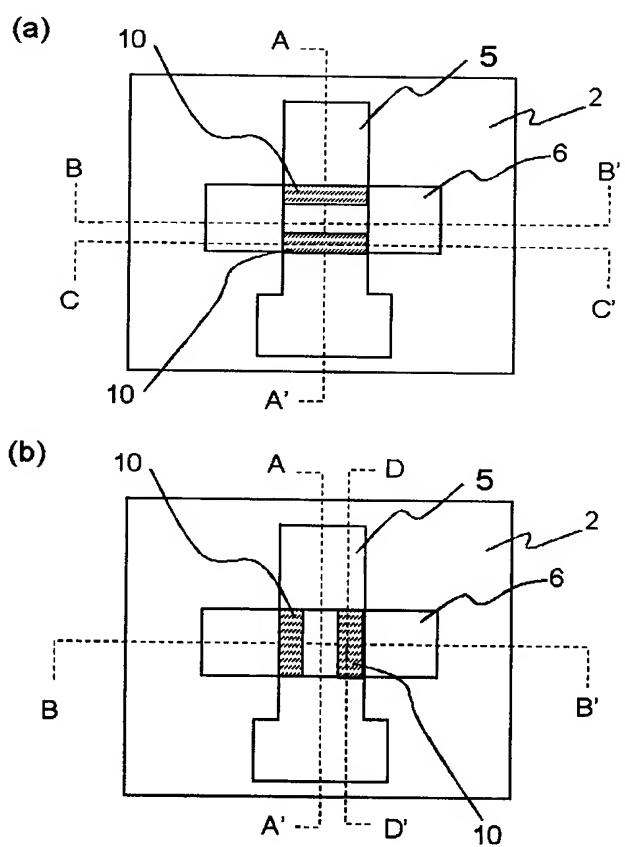
[図10]



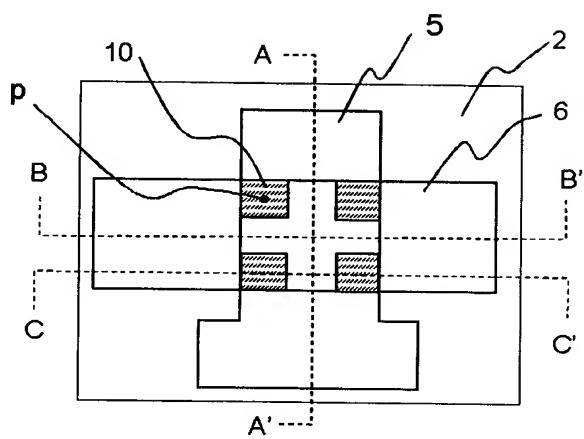
[図11]



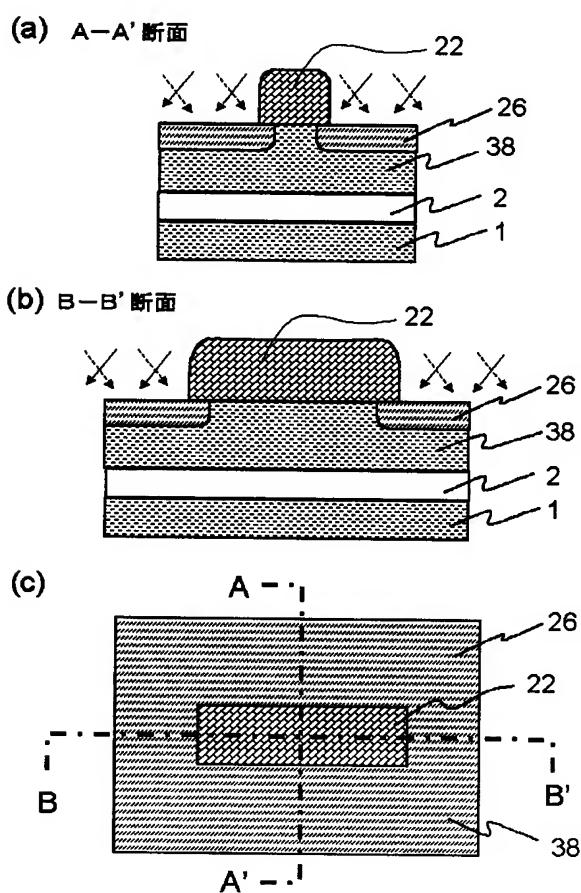
[図12]



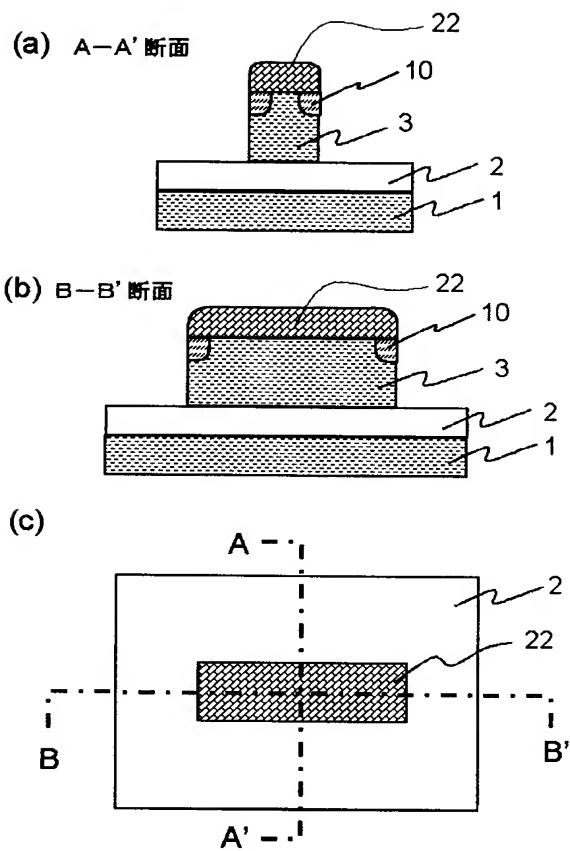
[図13]



[図14]

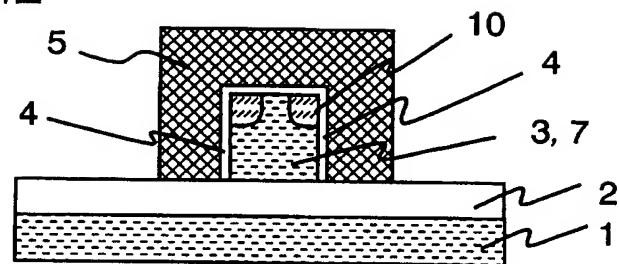


[図15]

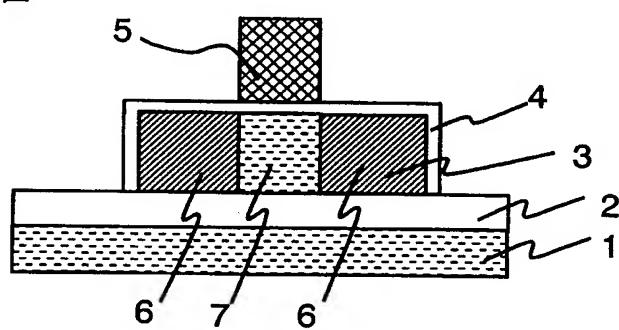


[図16]

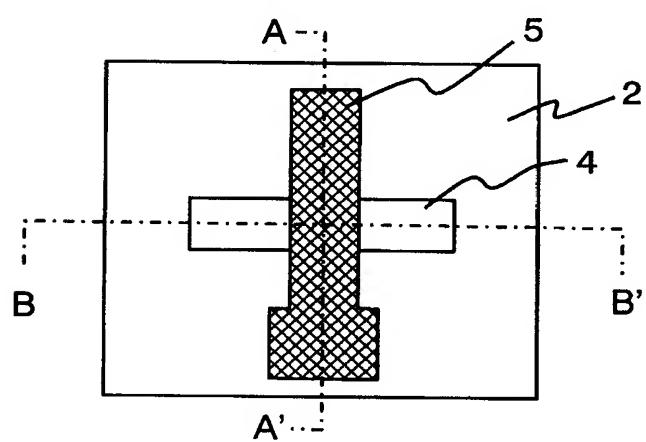
(a) A-A' 断面



(b) B-B' 断面

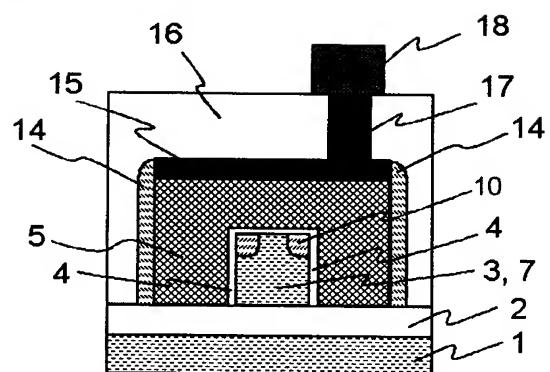


(c)

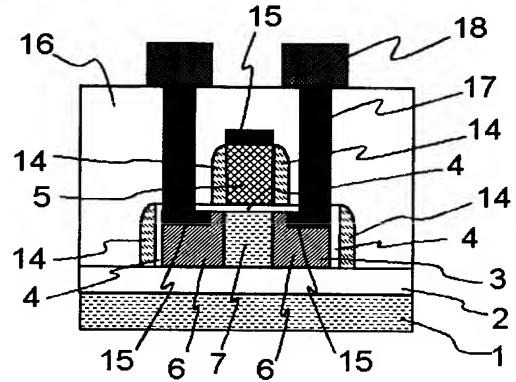


[図17]

(a) A-A' 断面

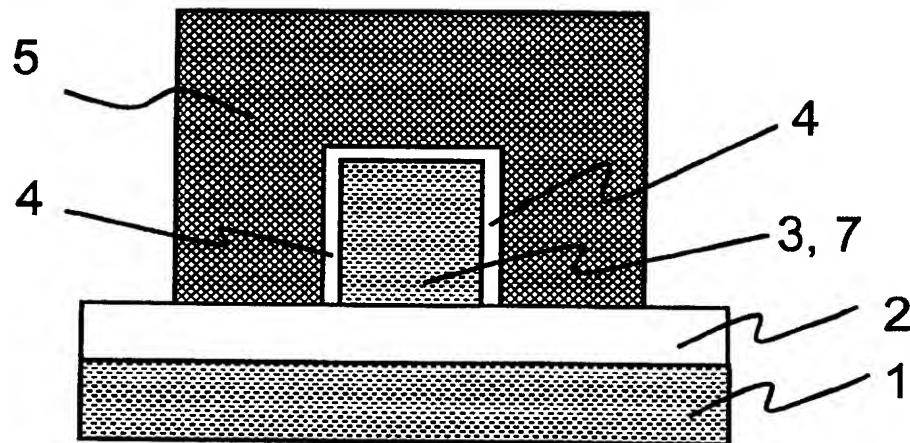


(b) B-B' 断面

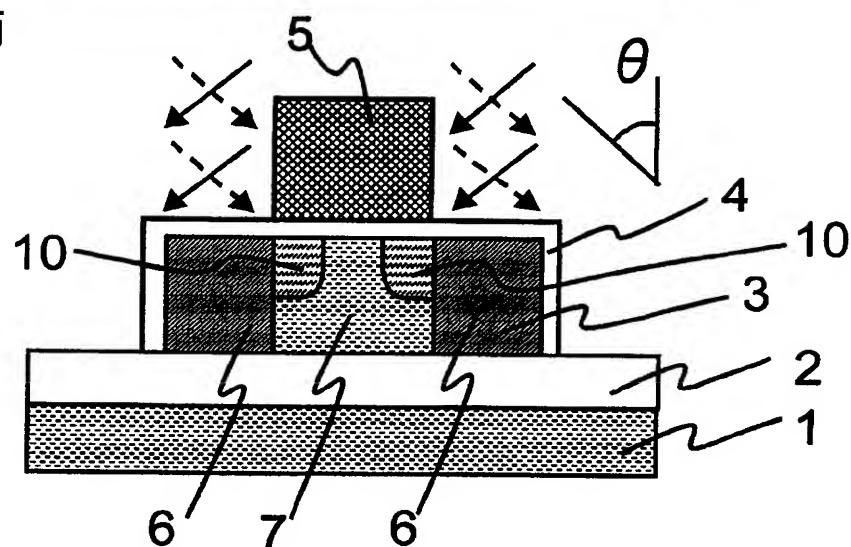


[図18]

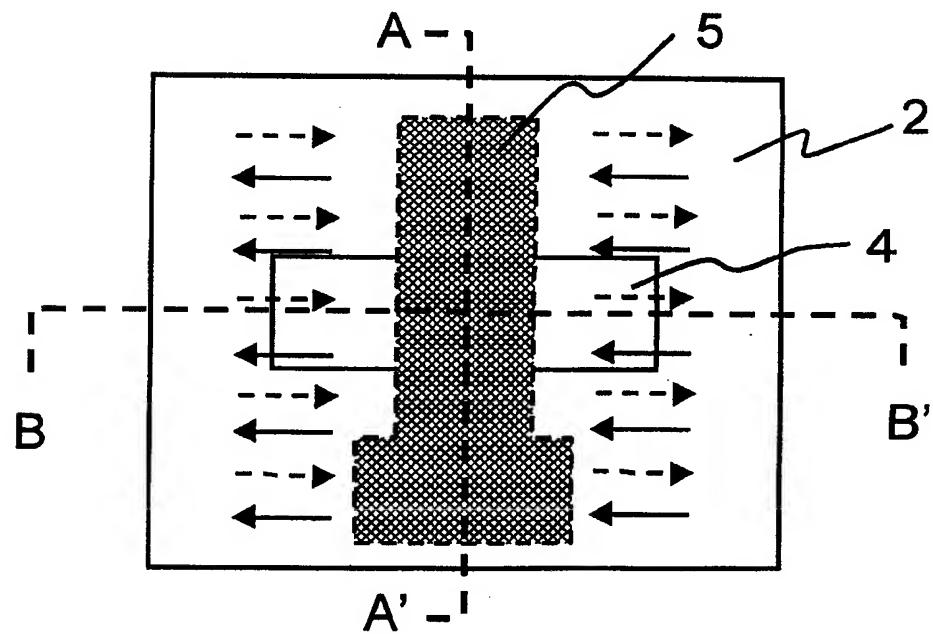
(a) A-A' 断面



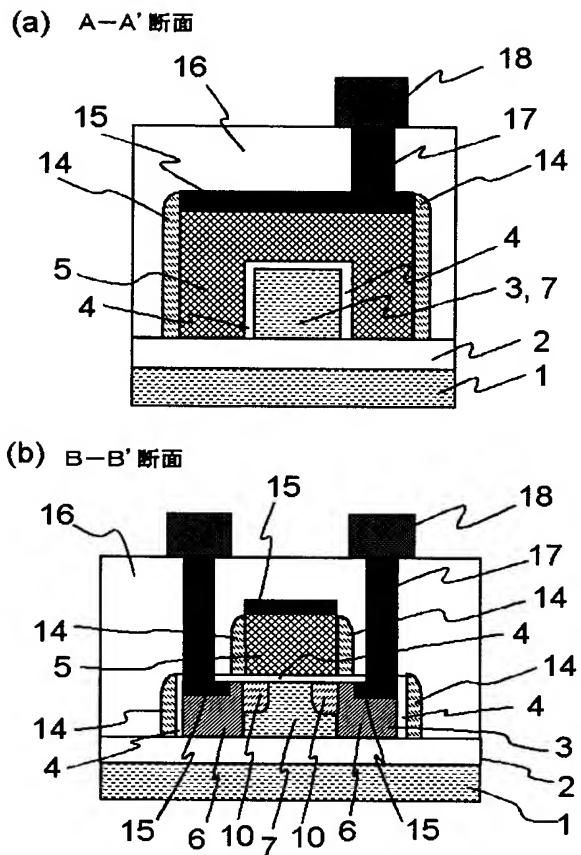
(b) B-B' 断面



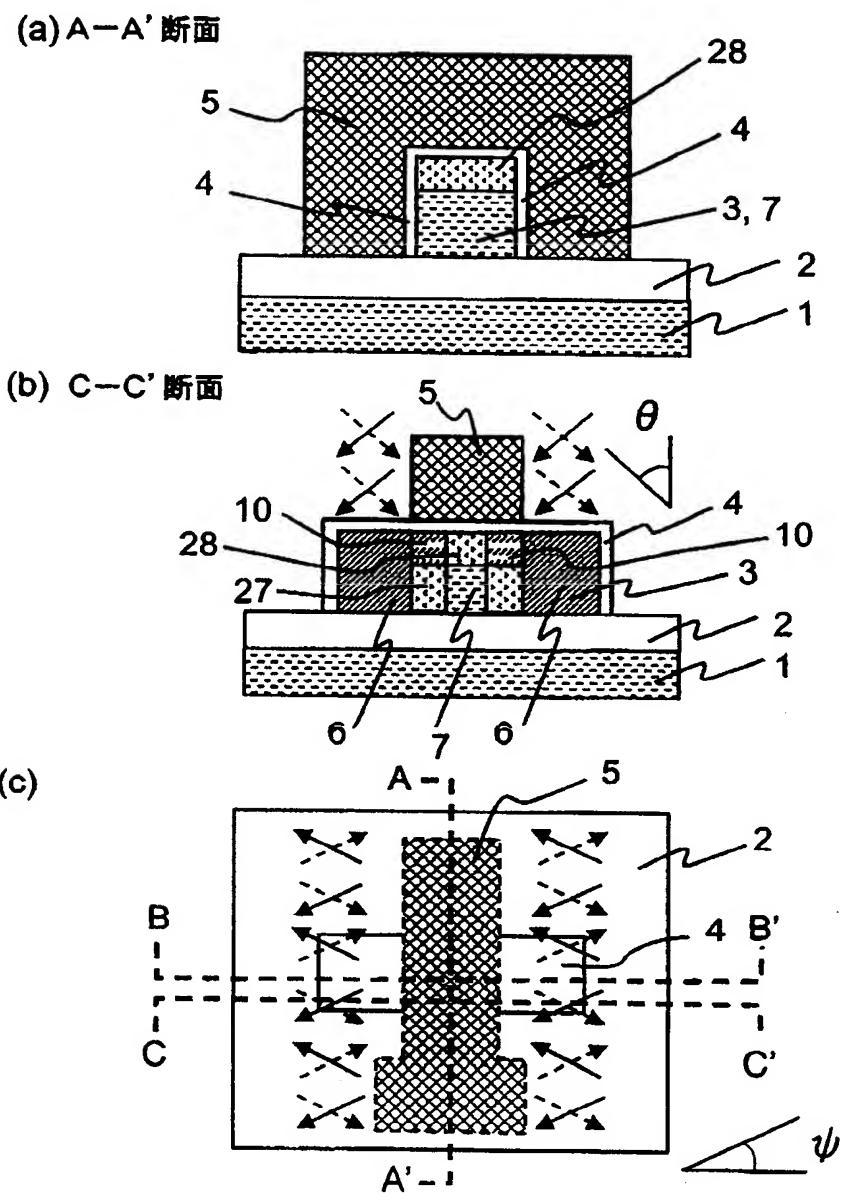
(c)



[図19]

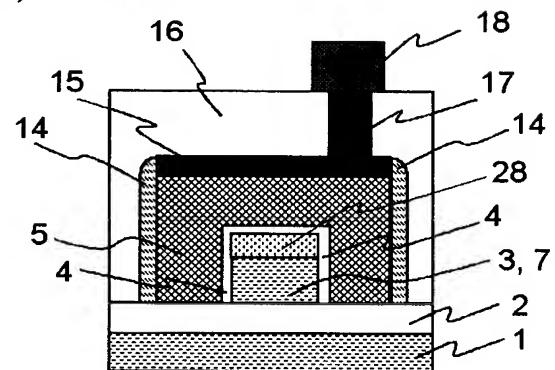


[図20]

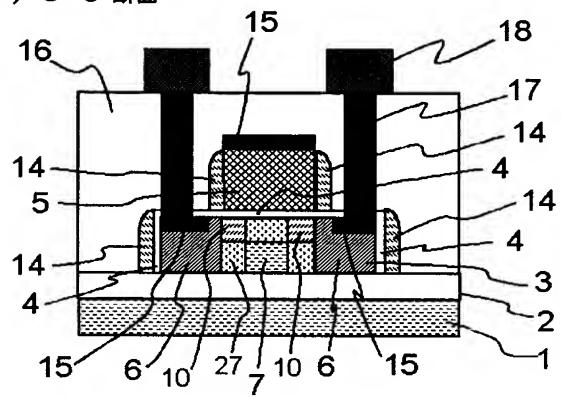


[図21]

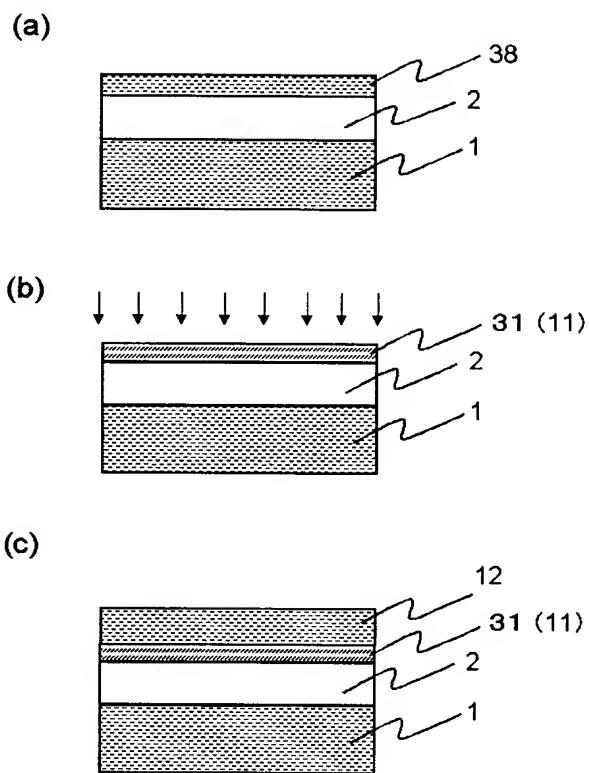
(a) A-A' 断面



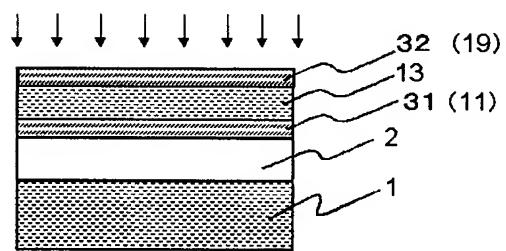
(b) C-C' 断面



[図22]

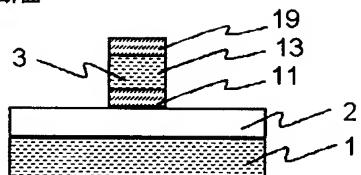


[図23]

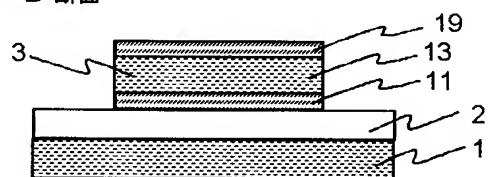


[図24]

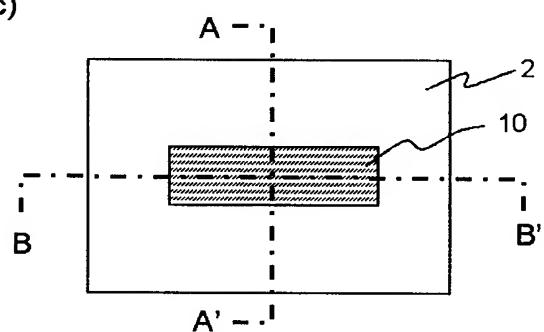
(a) A-A' 断面



(b) B-B' 断面

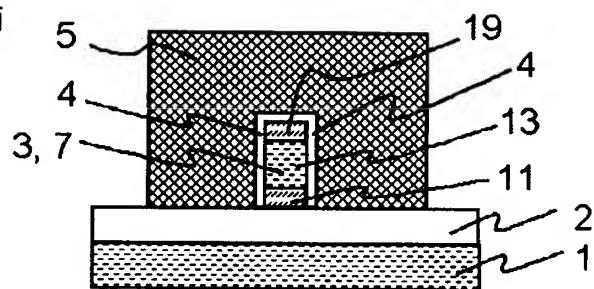


(c)

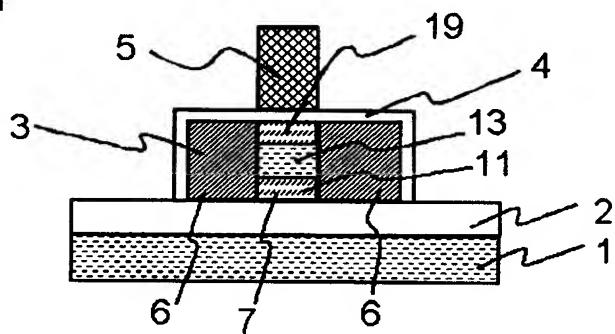


[図25]

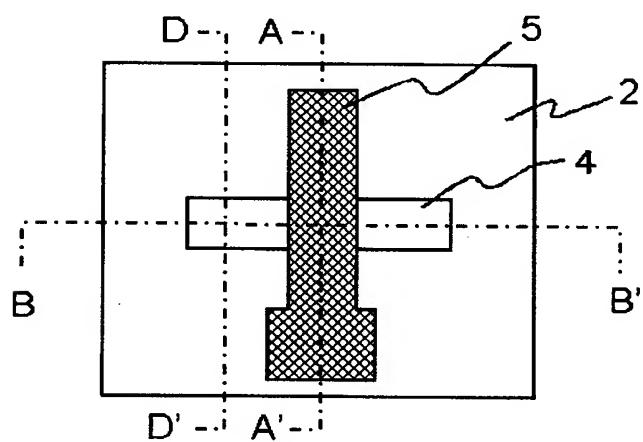
(a) A-A' 断面



(b) B-B' 断面

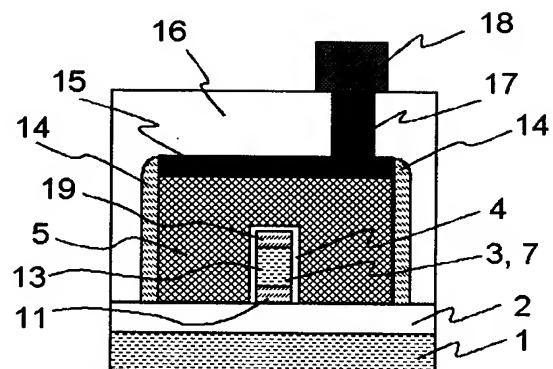


(c)

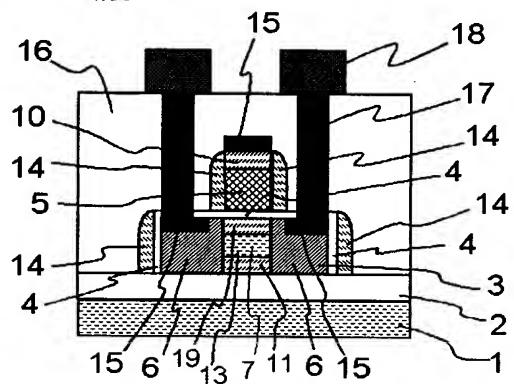


[図26]

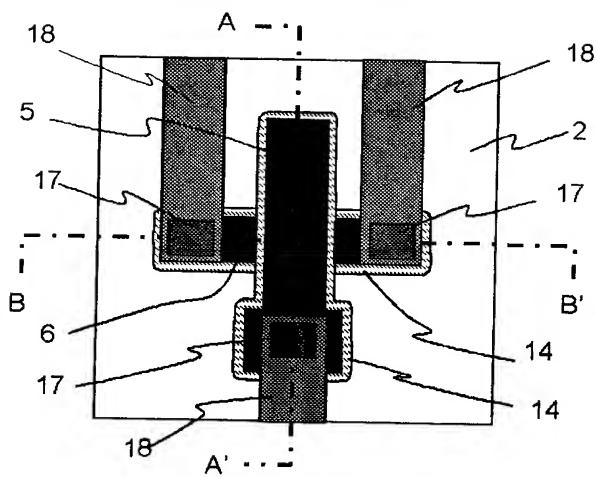
(a) A-A' 断面



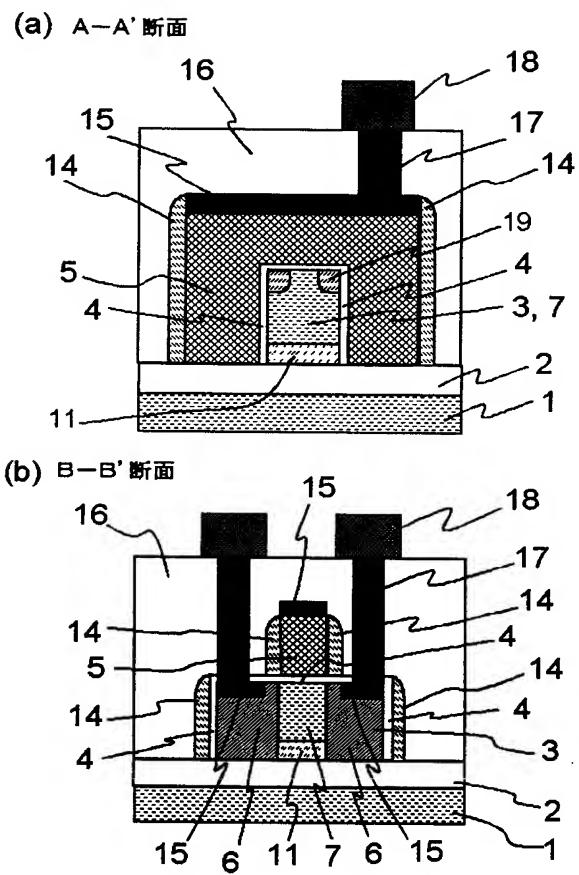
(b) B-B' 断面



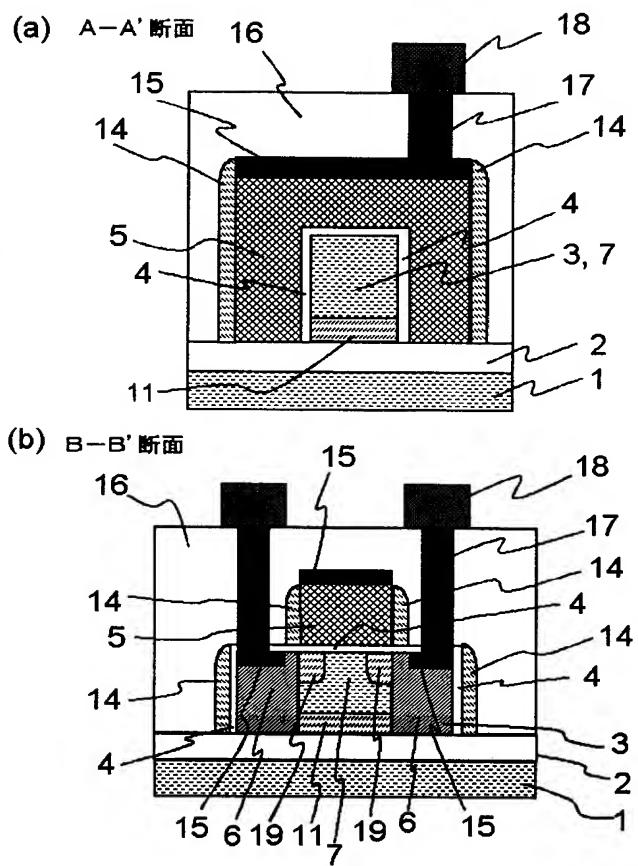
[図27]



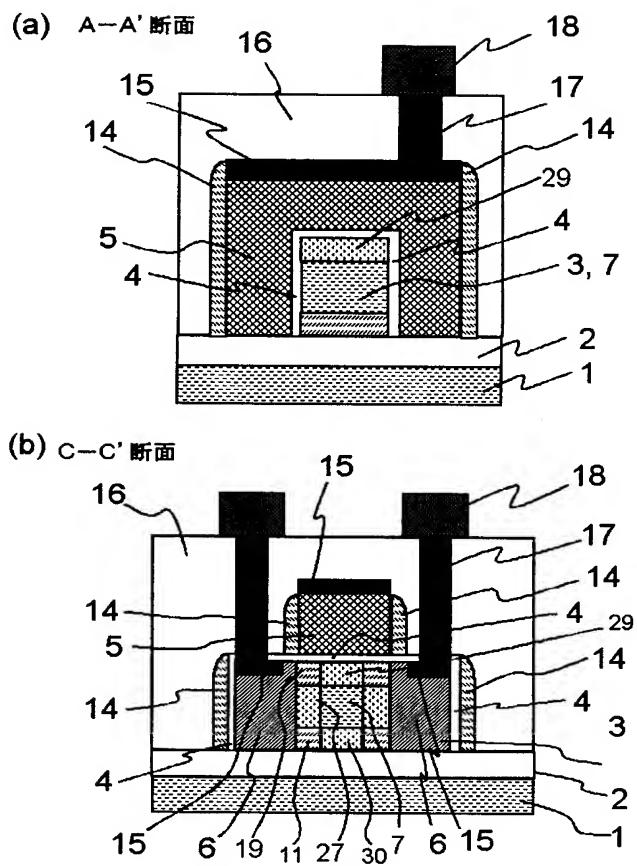
[図28]



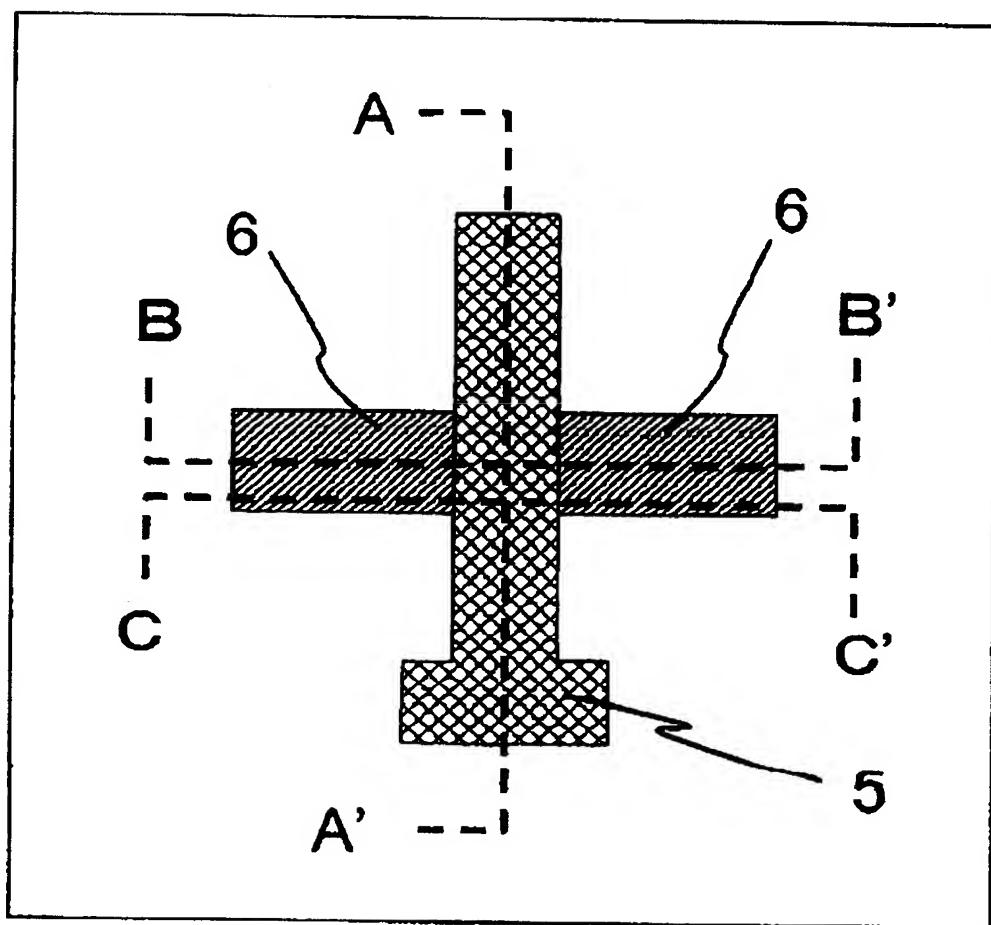
[図29]



[図30]

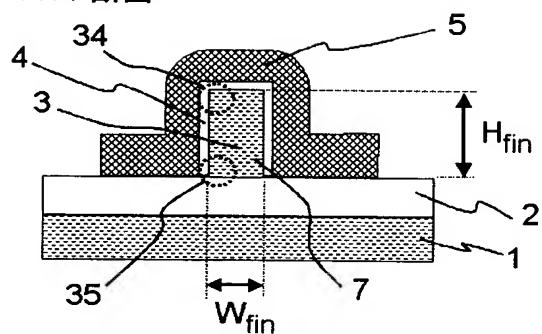


[図31]

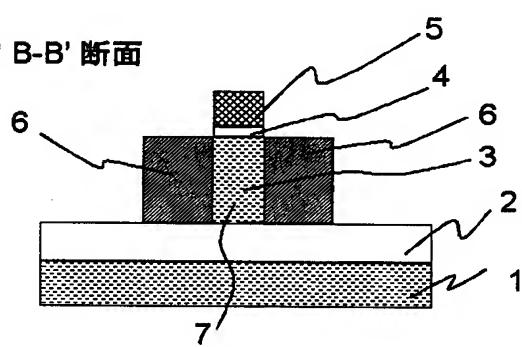


[図32]

(a) A-A' 断面

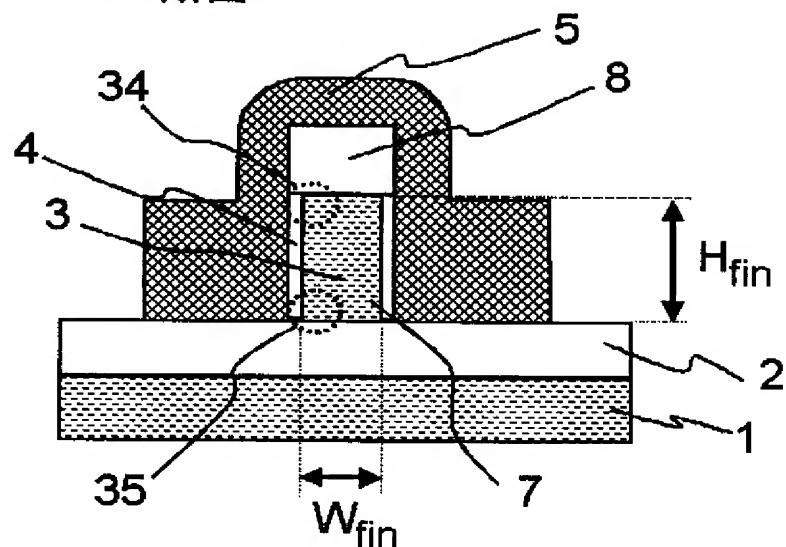


(b) B-B' 断面

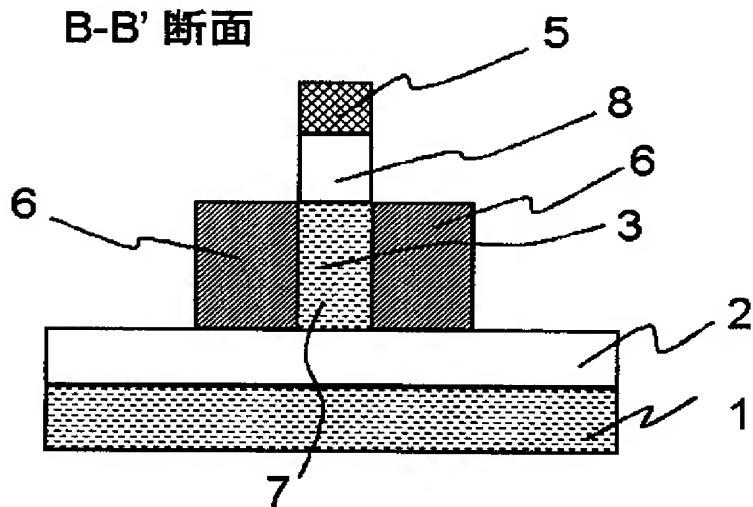


[図33]

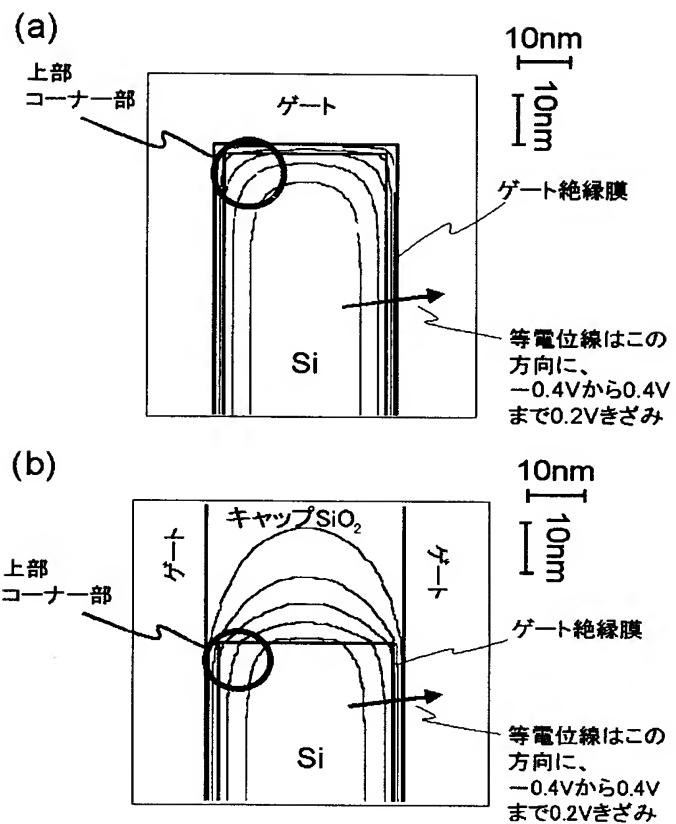
(a) A-A' 断面



(b) B-B' 断面

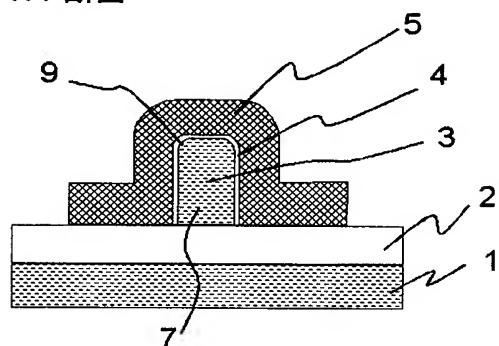


[図34]

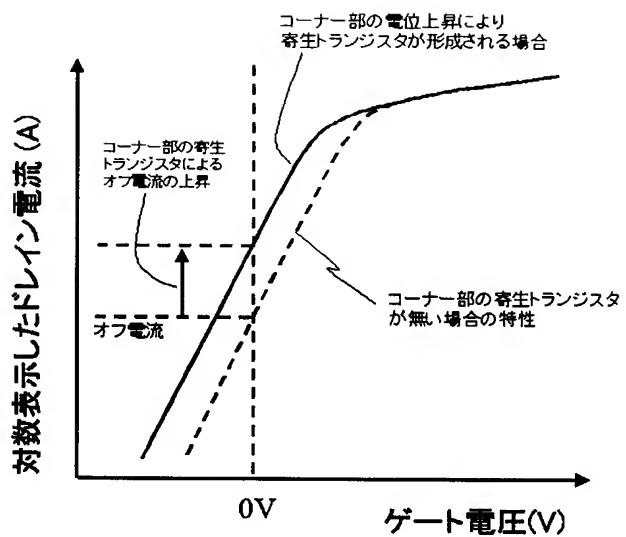


[図35]

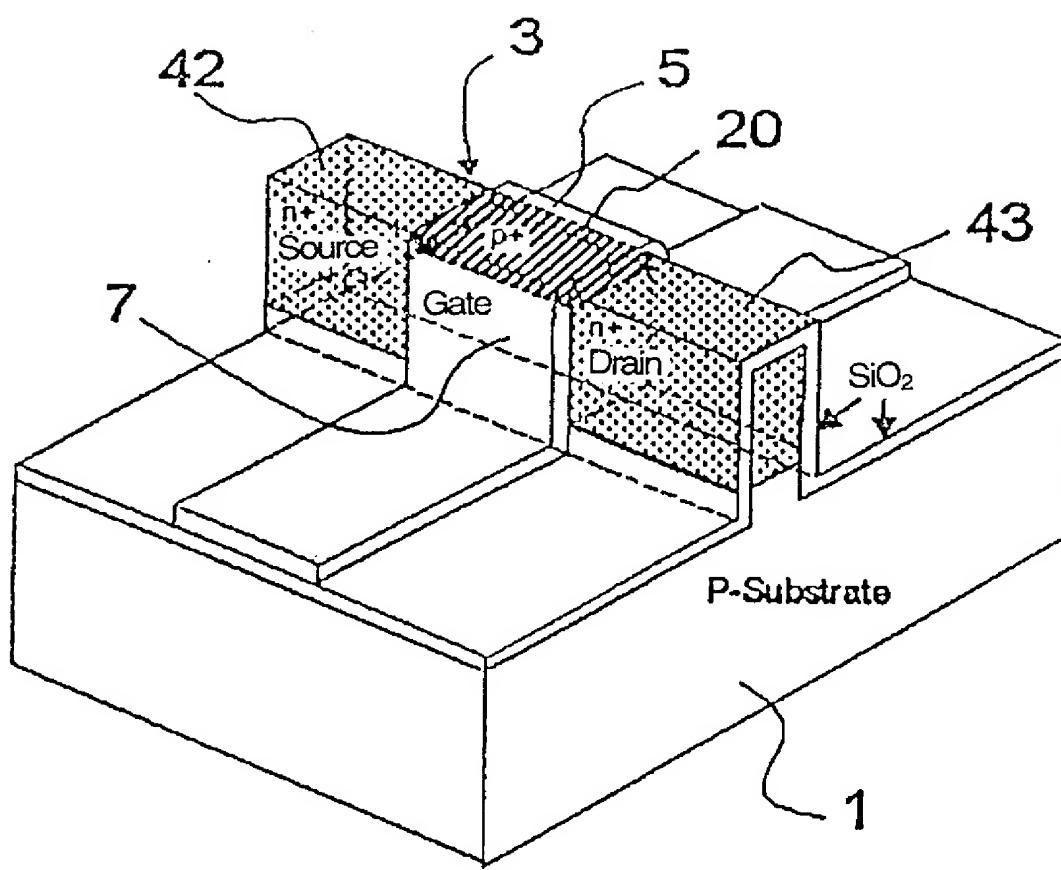
A-A' 断面



[図36]

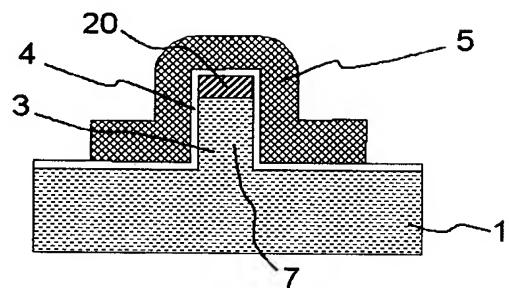


[図37]

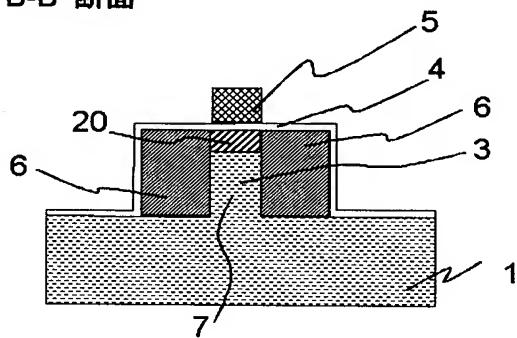


[図38]

(a) A-A' 断面

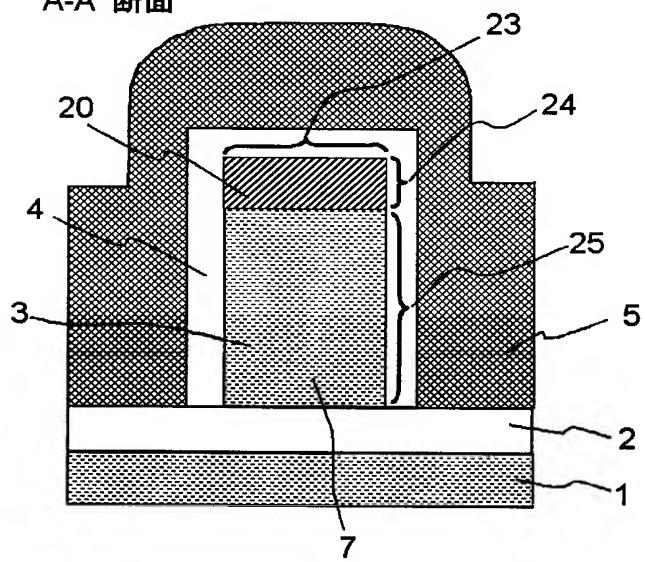


(b) B-B' 断面



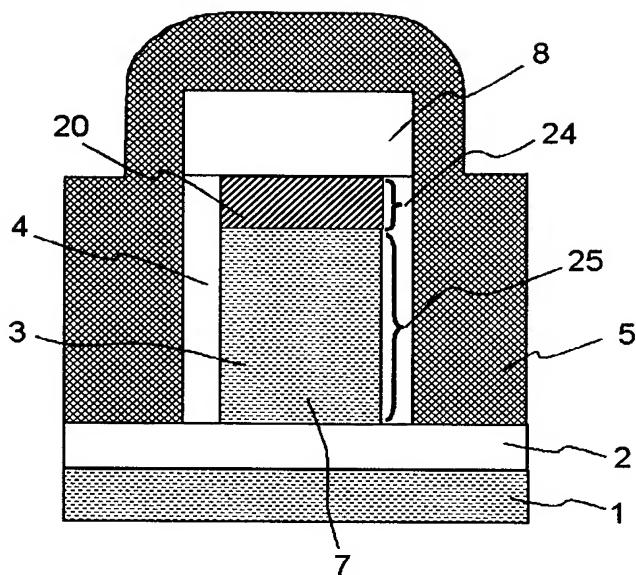
[図39]

A-A' 断面



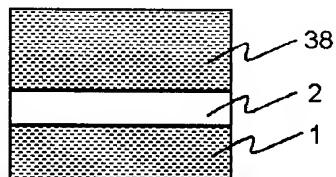
[図40]

A-A' 断面

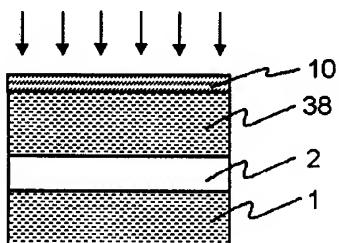


[図41]

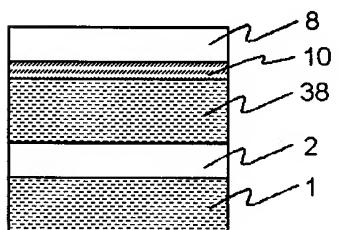
(a)



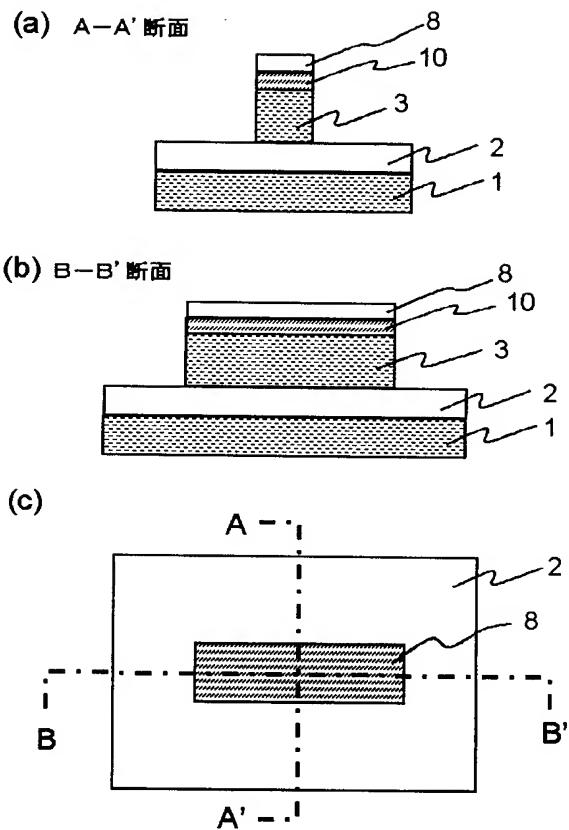
(b)



(c)

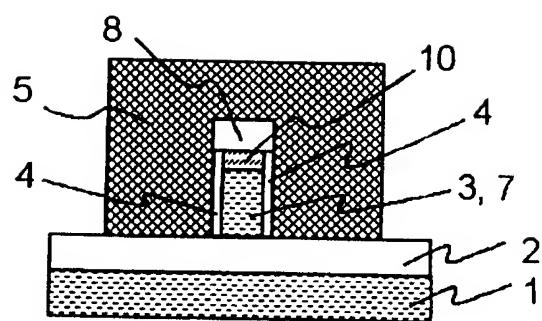


[図42]

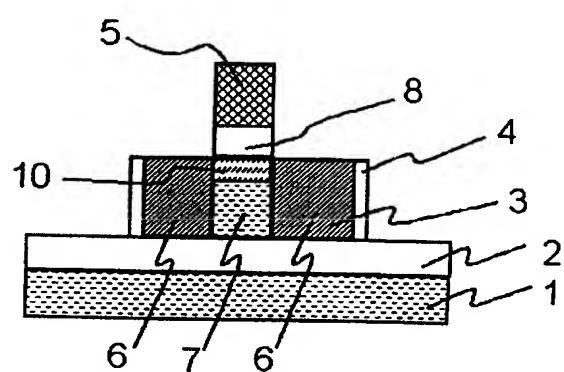


[図43]

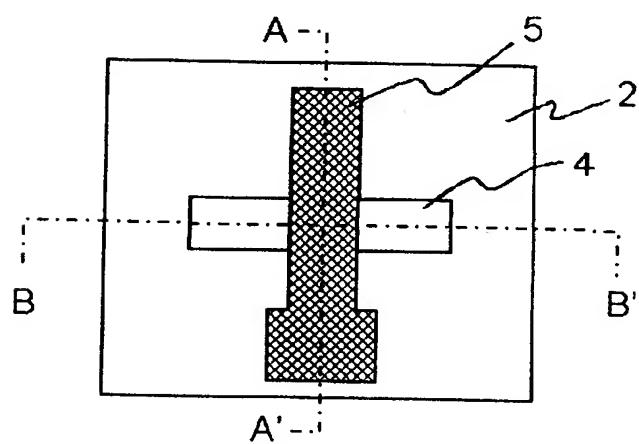
(a) A-A' 断面



(b) B-B' 断面

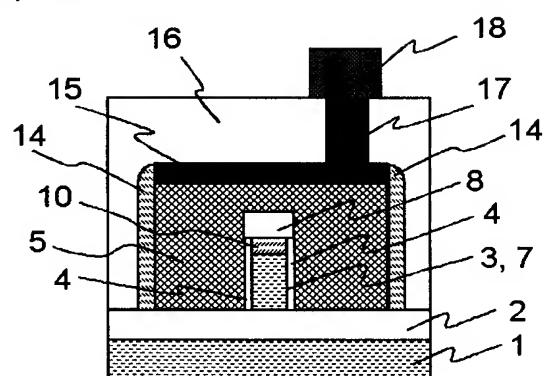


(c)

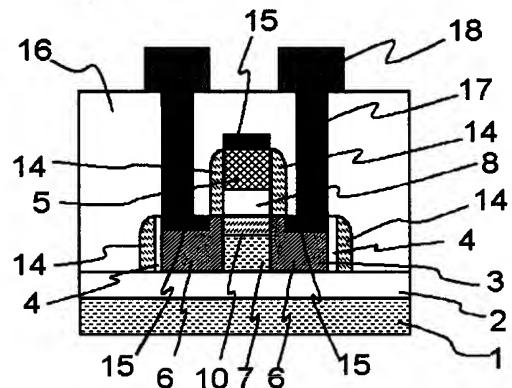


[図44]

(a) A-A' 断面

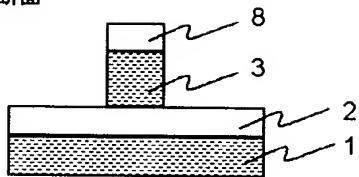


(b) B-B' 断面

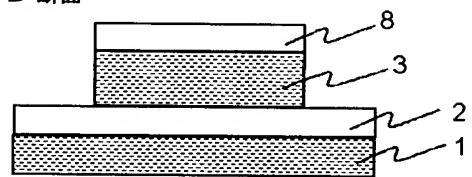


[図45]

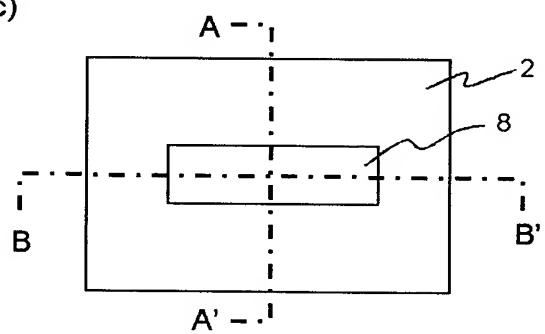
(a) A-A' 断面



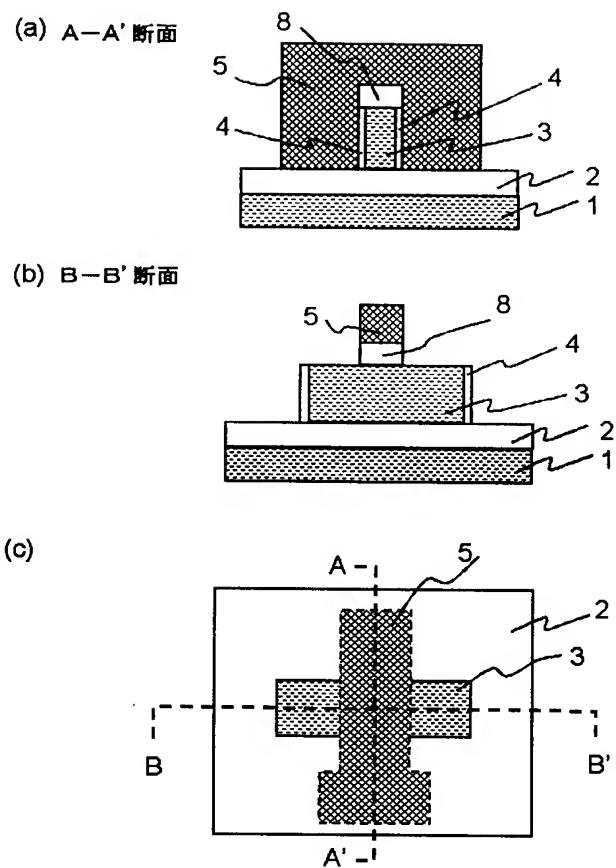
(b) B-B' 断面



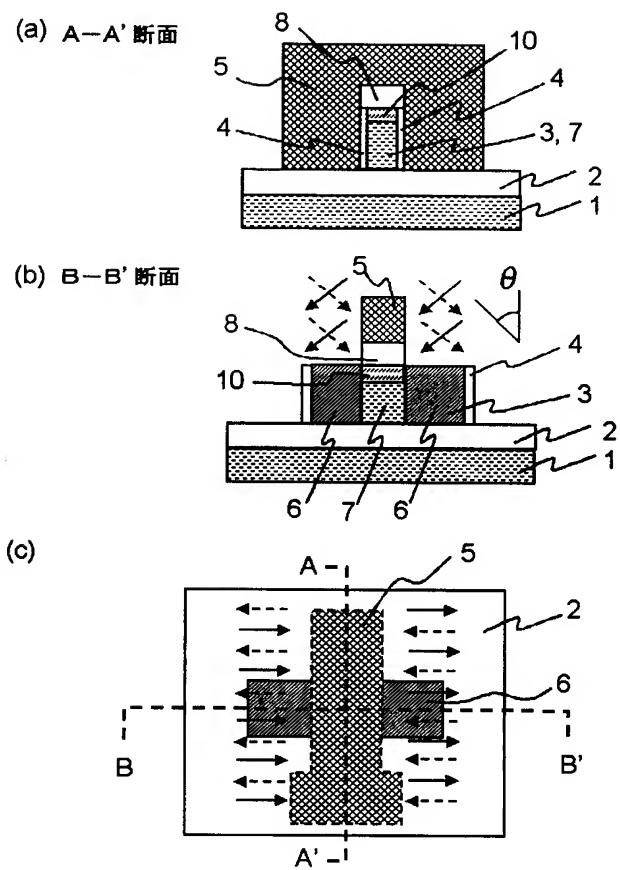
(c)



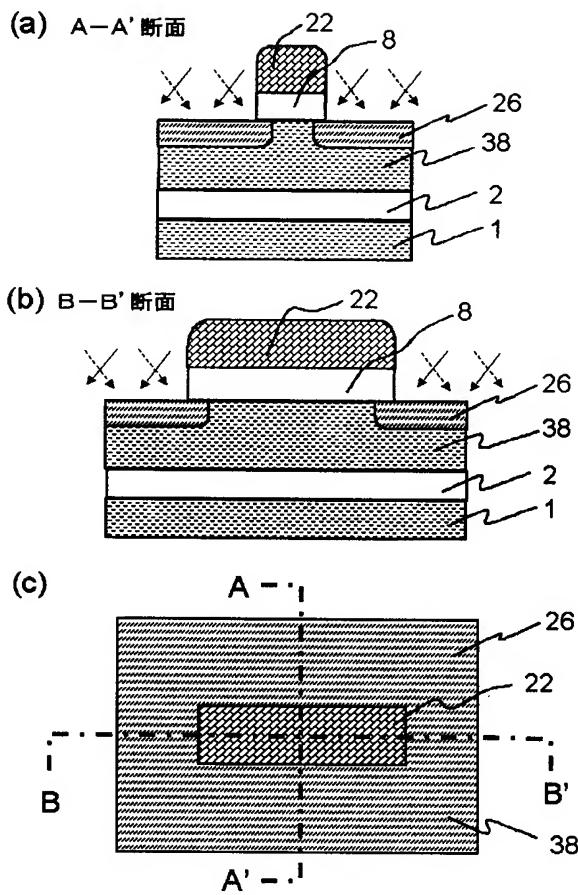
[図46]



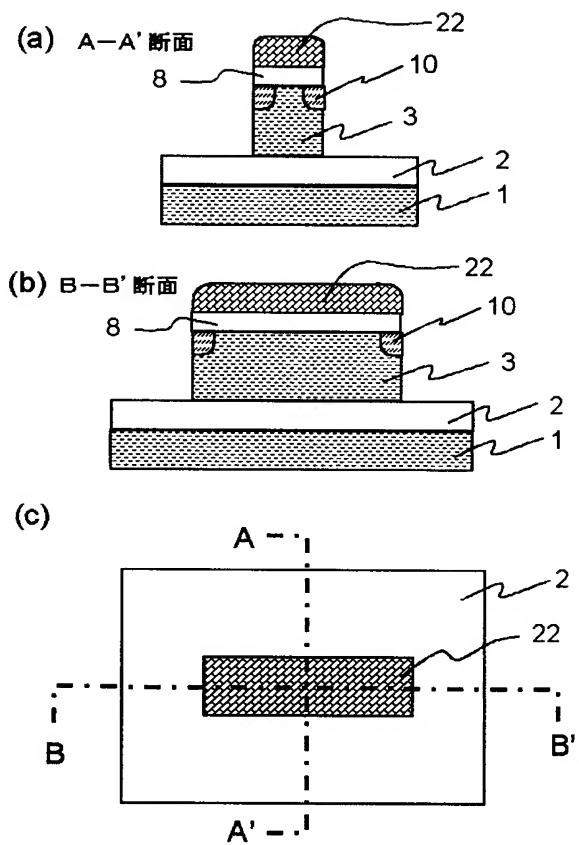
[図47]



[図48]

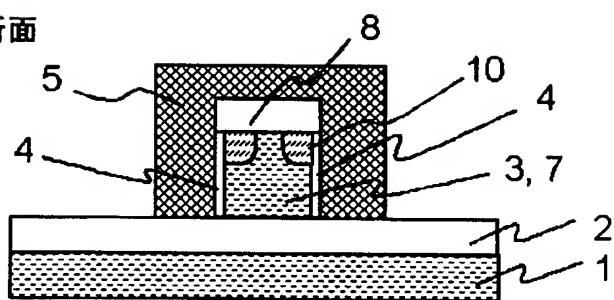


[図49]

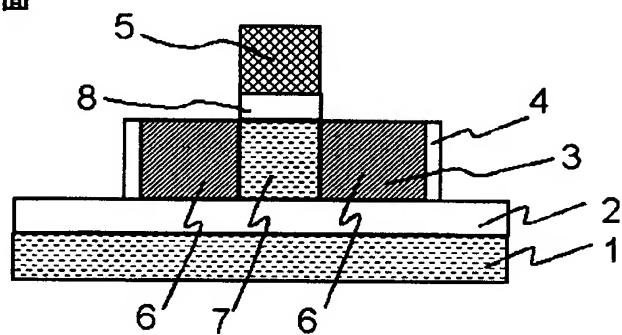


[図50]

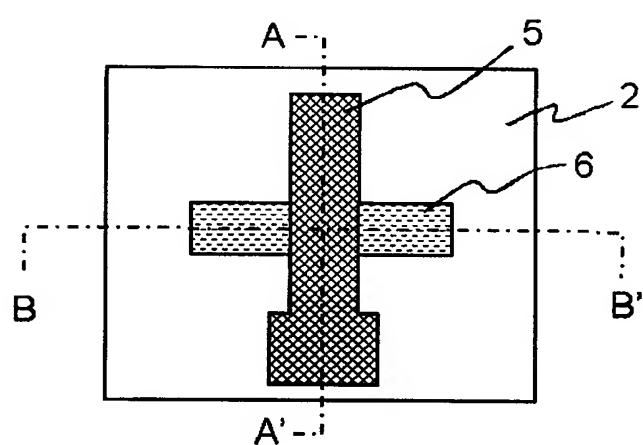
(a) A-A' 断面



(b) B-B' 断面

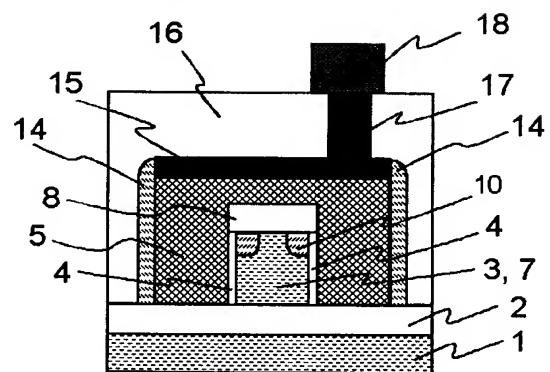


(c)

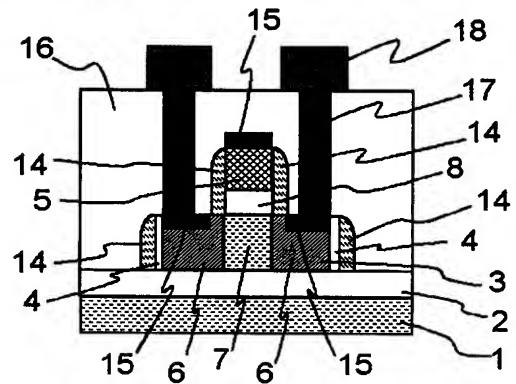


[図51]

(a) A-A' 断面

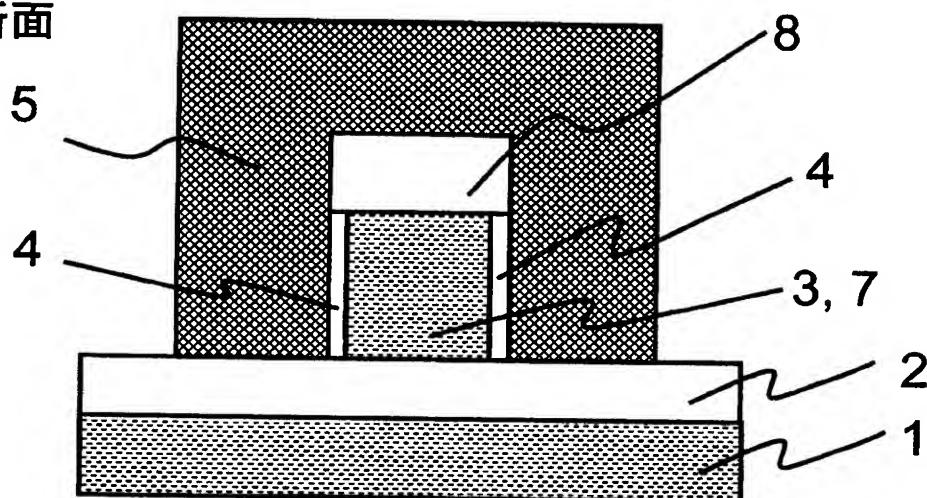


(b) B-B' 断面

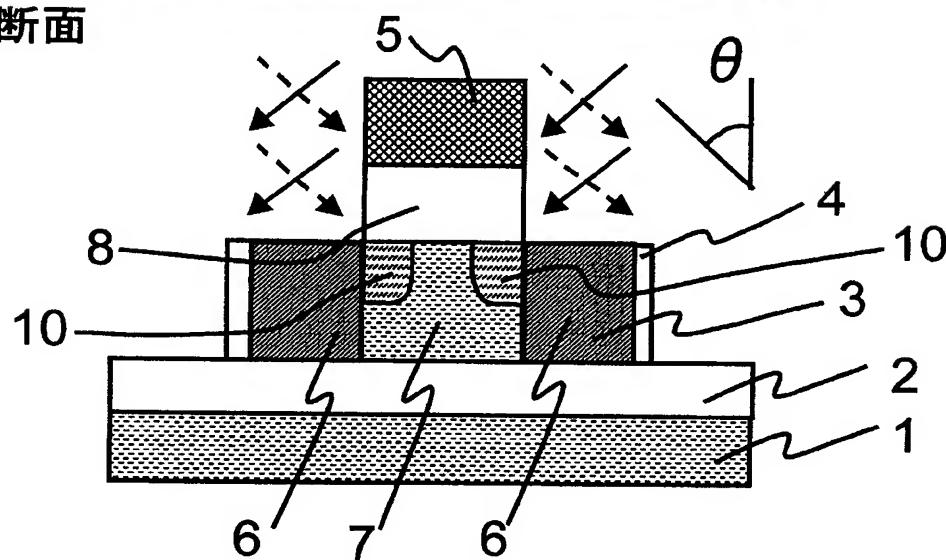


[図52]

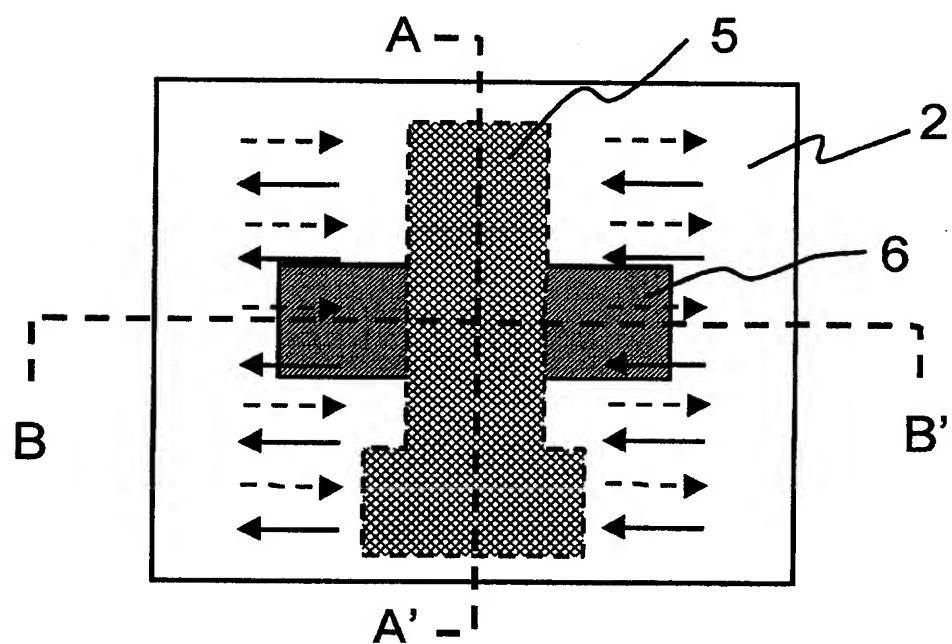
(a) A-A' 断面



(b) B-B' 断面

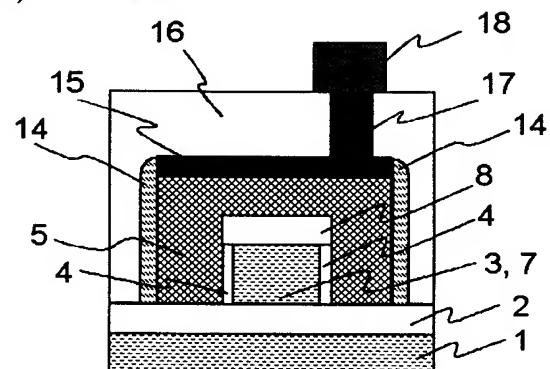


(c)

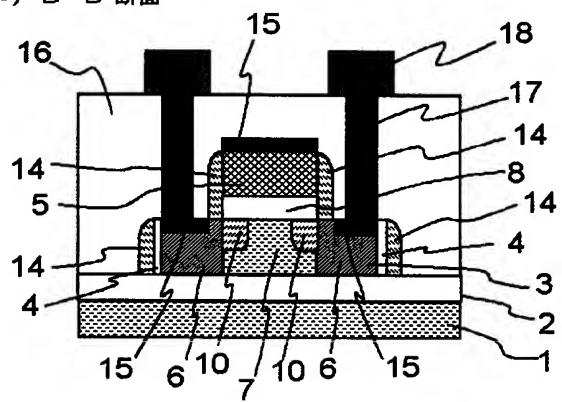


[図53]

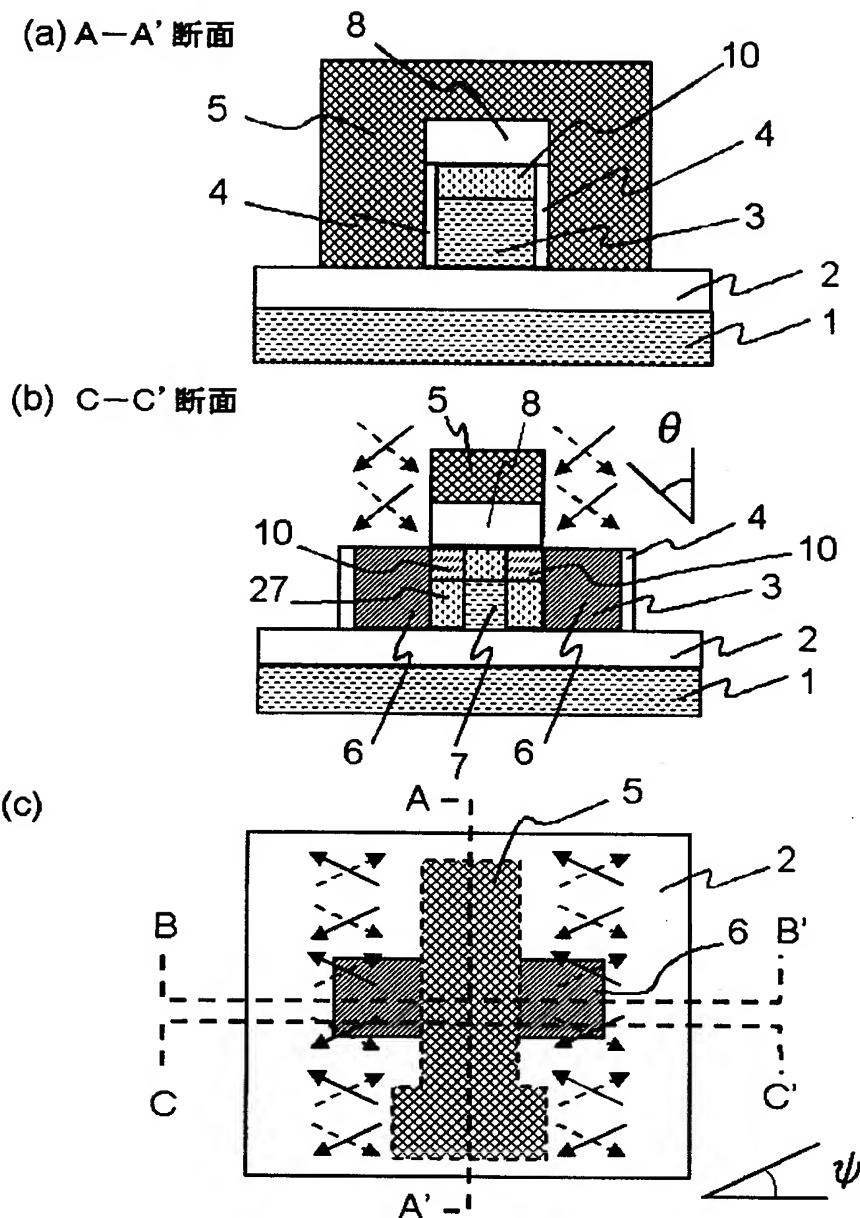
(a) A-A' 断面



(b) B-B' 断面

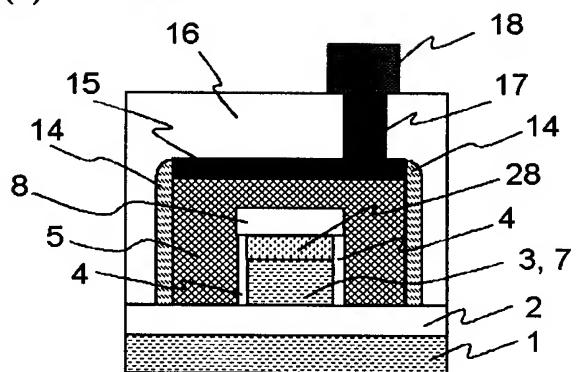


[図54]

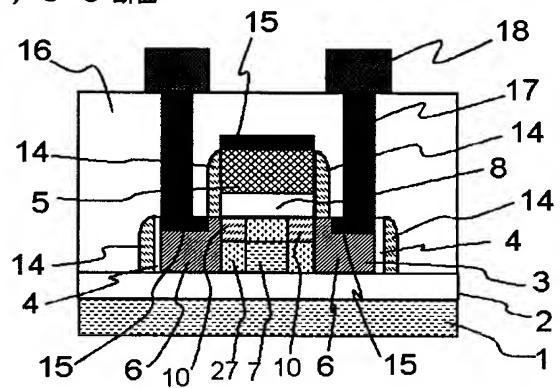


[図55]

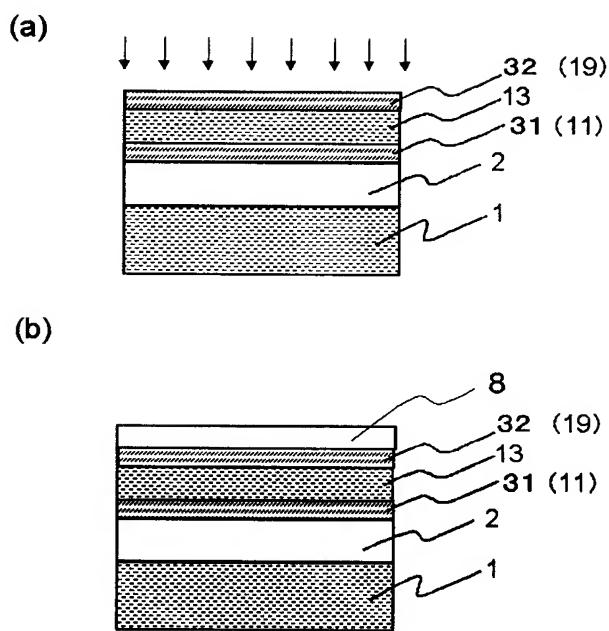
(a) A-A' 断面



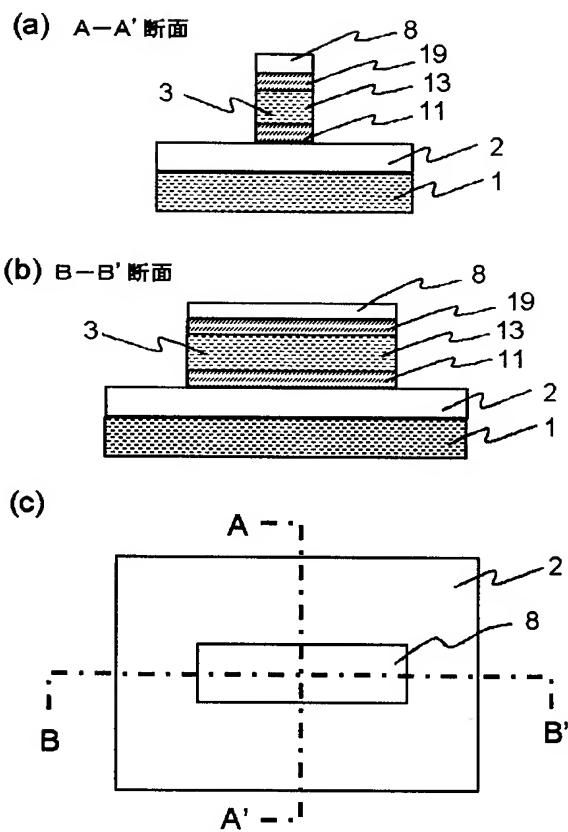
(b) C-C' 断面



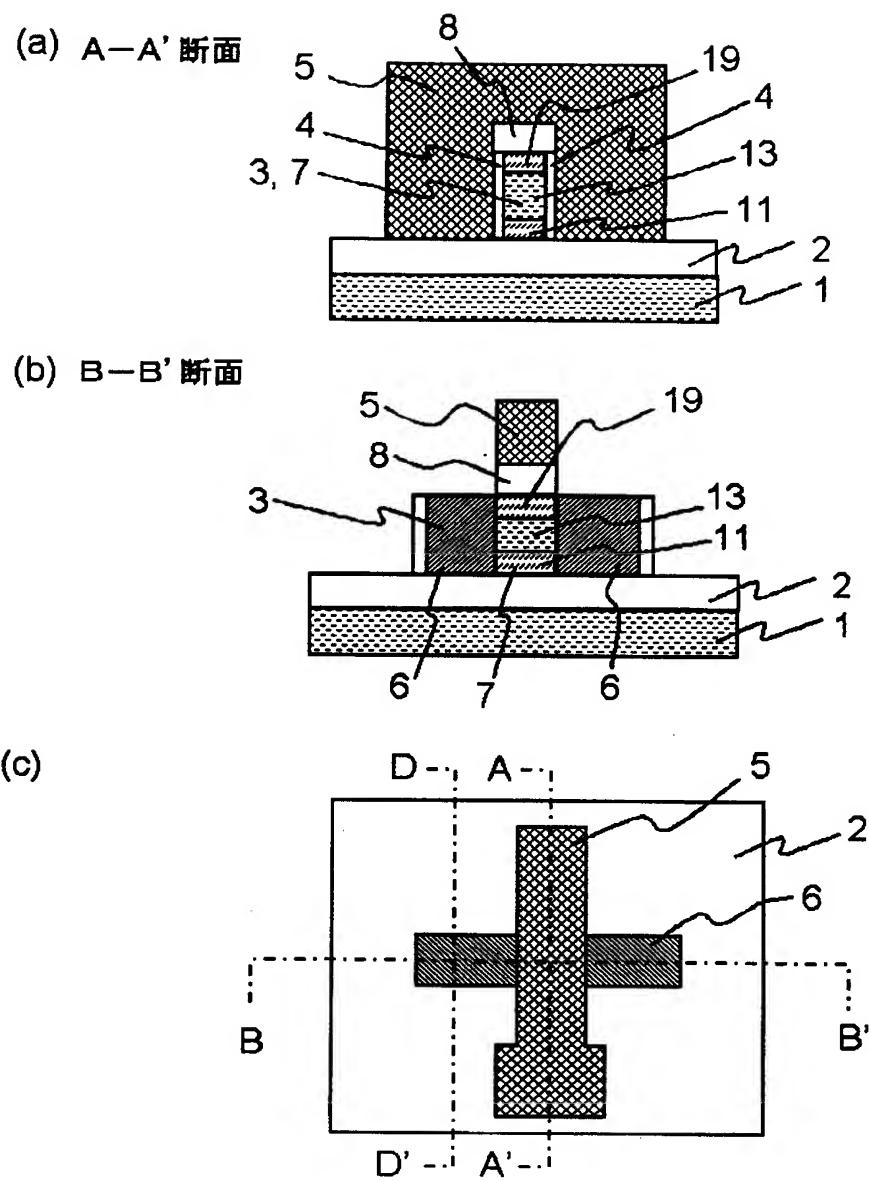
[図56]



[図57]

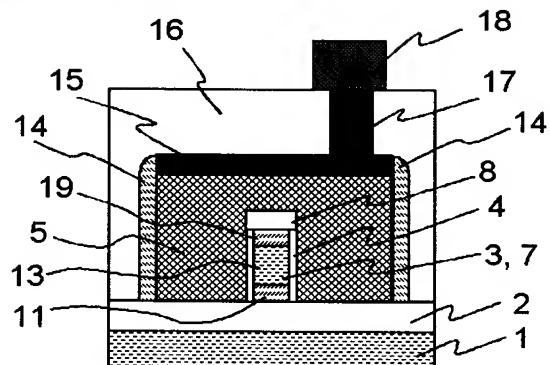


[図58]

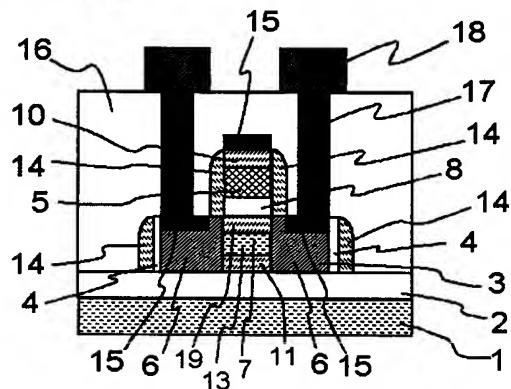


[図59]

(a) A-A' 斷面

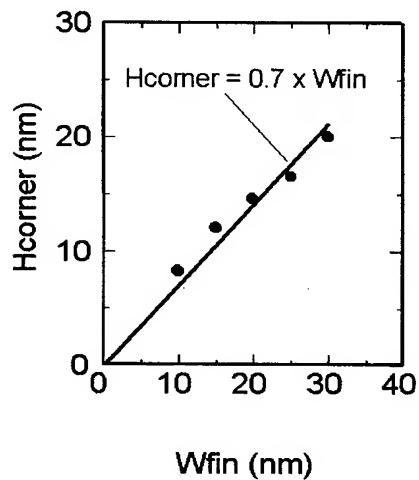


(b) B-B'断面

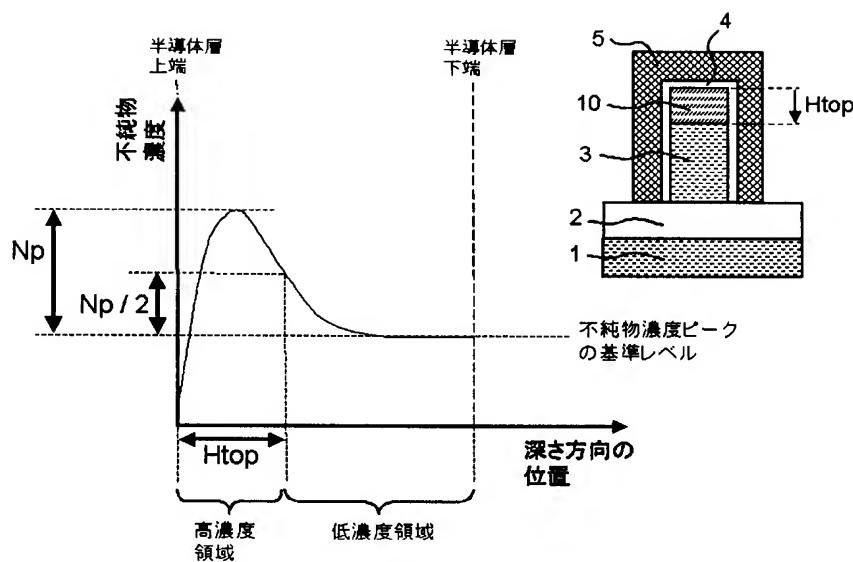


[図60]

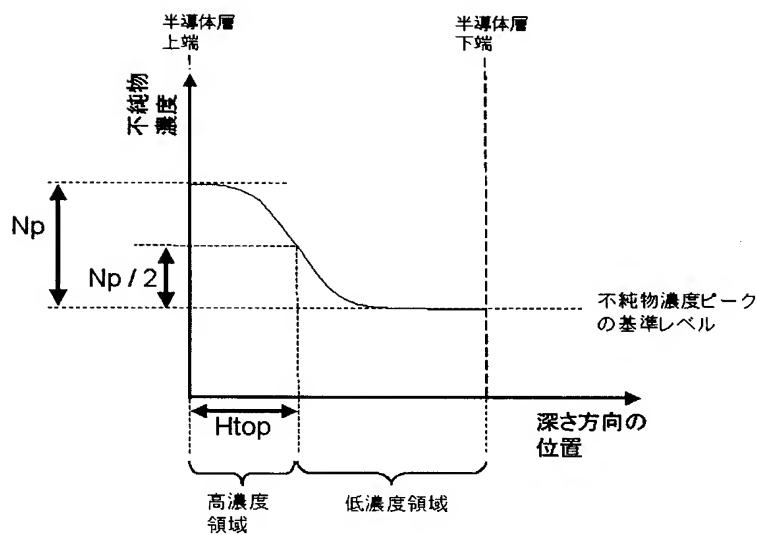
電界集中が起こる深さ(H_{corner})の Fin幅(W_{fin})依存性



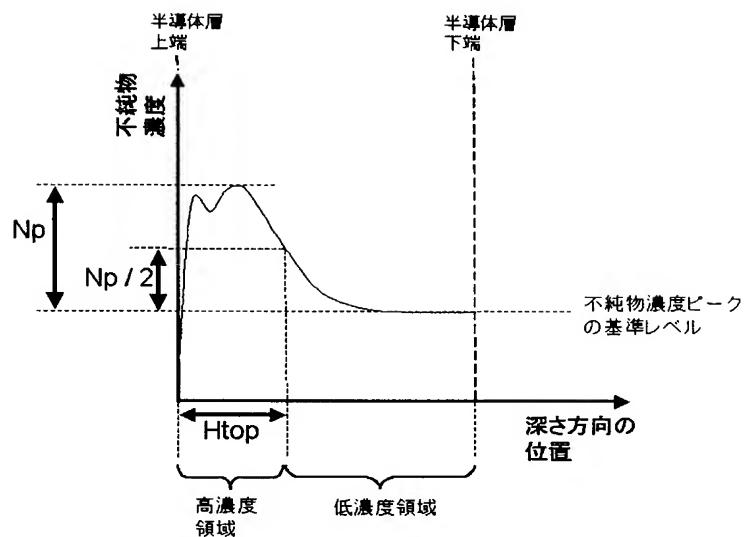
[図61]



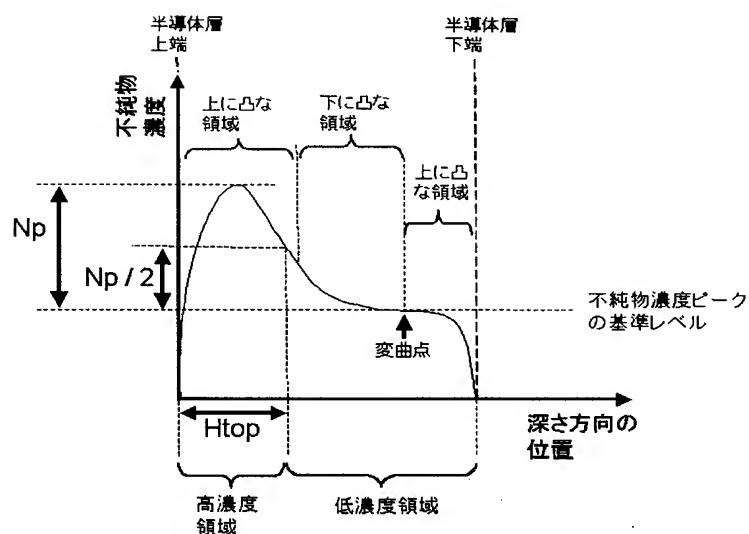
[図62]



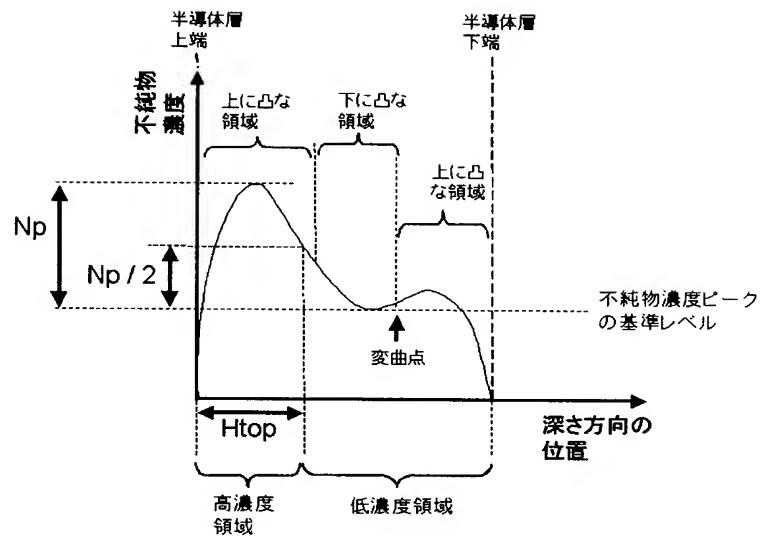
[図63]



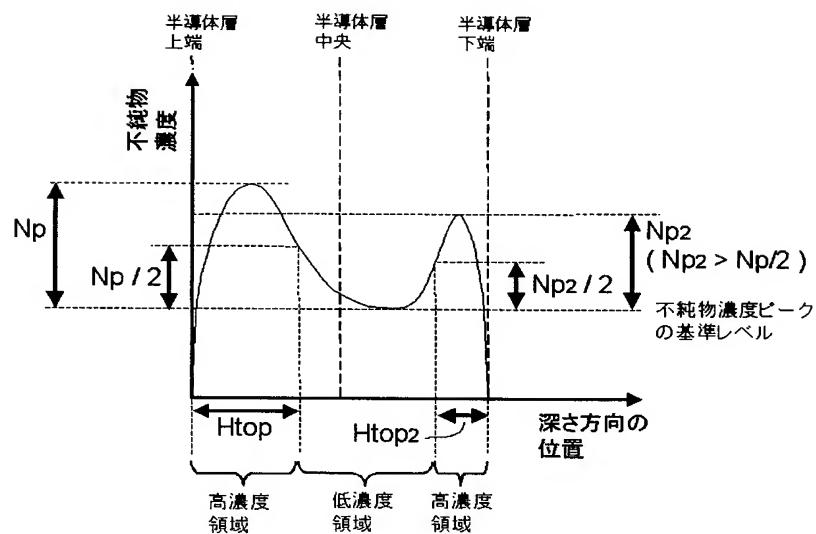
[図64]



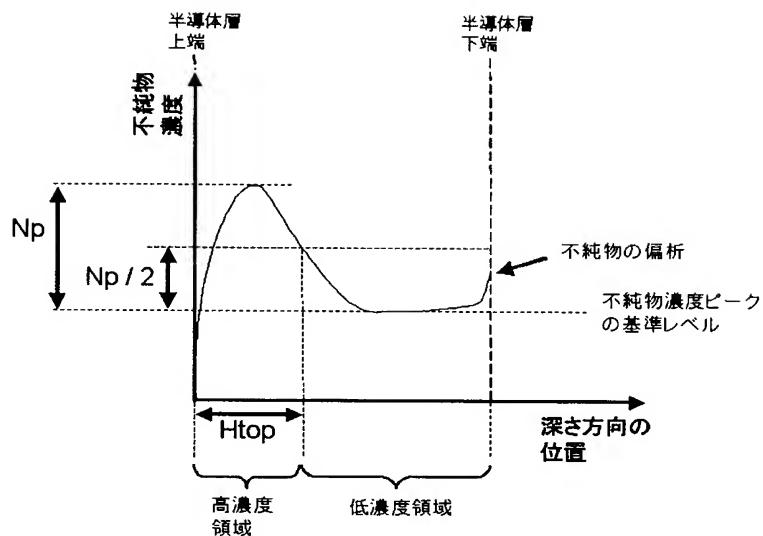
[図65]



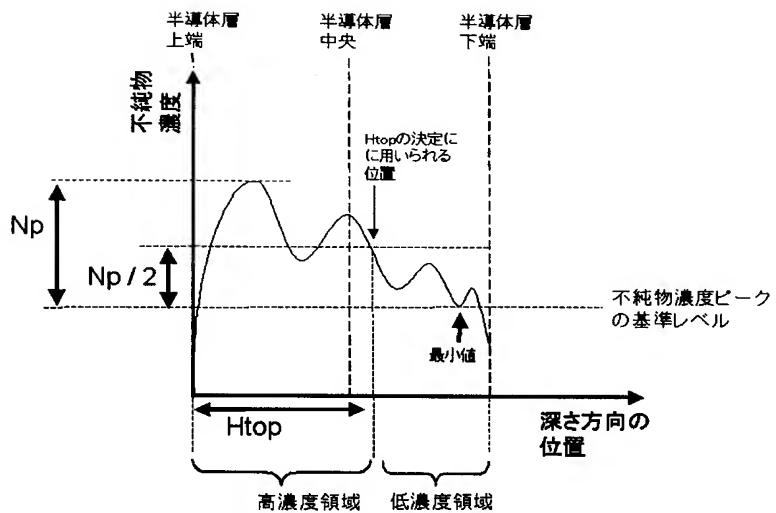
[図66]



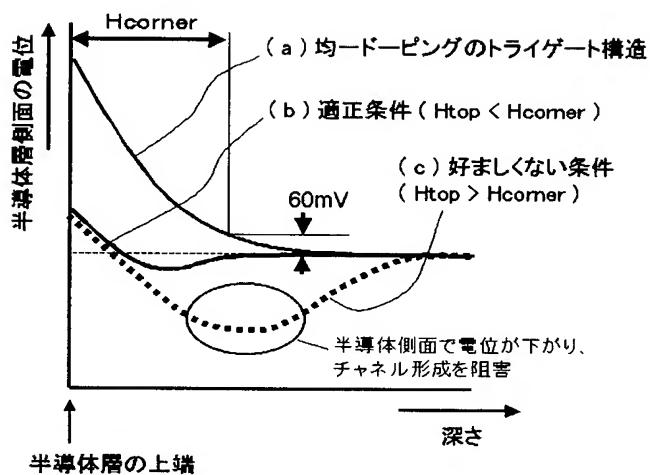
[図67]



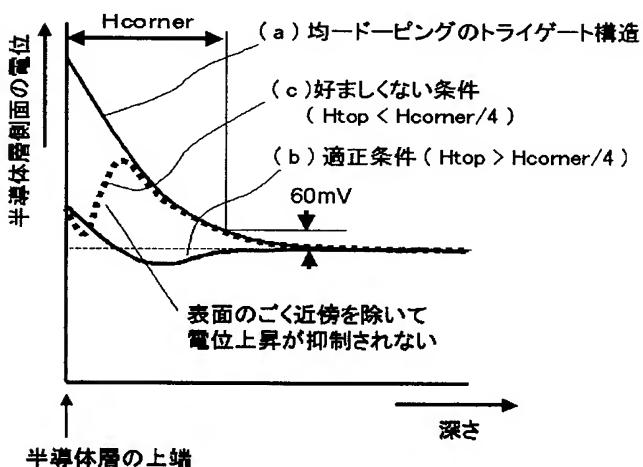
[図68]



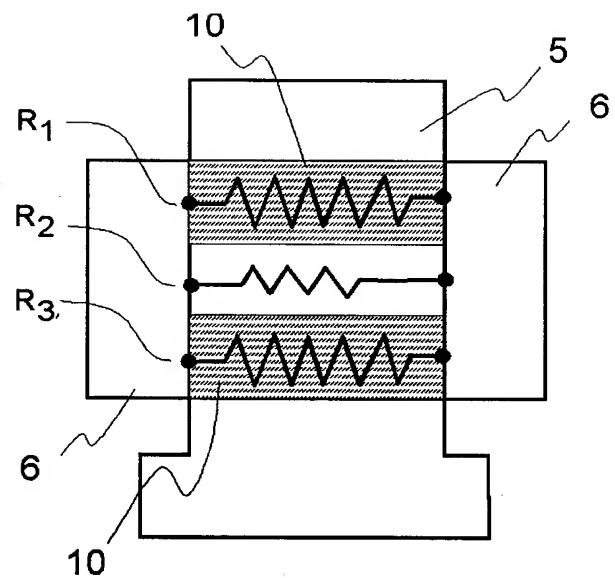
[図69]



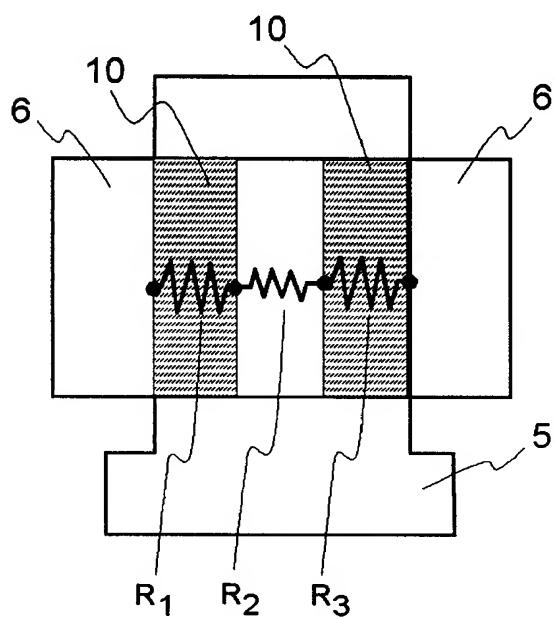
[図70]



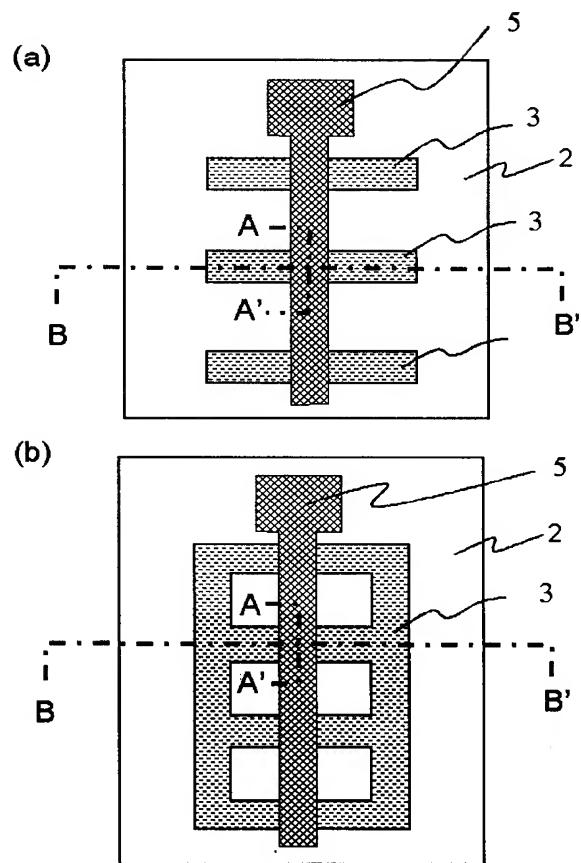
[図71]



[図72]

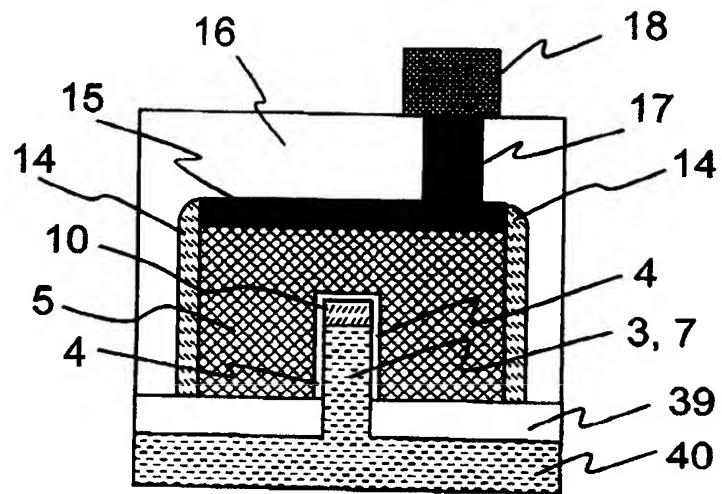


[図73]

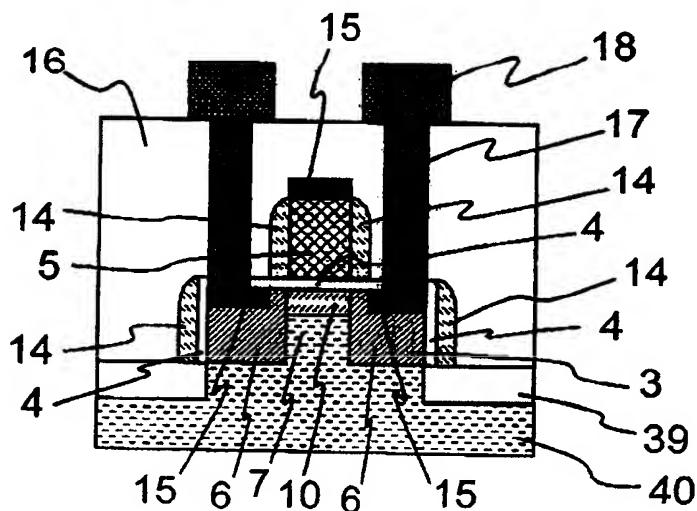


[図74]

(a) A-A' 断面

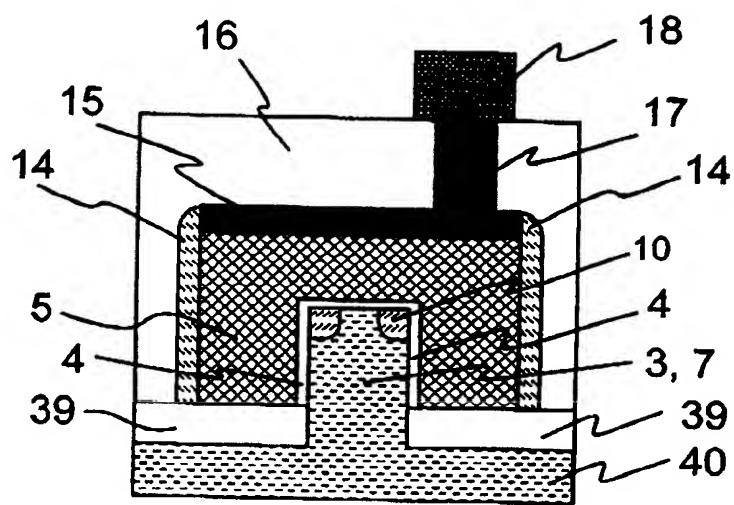


(b) B-B' 断面

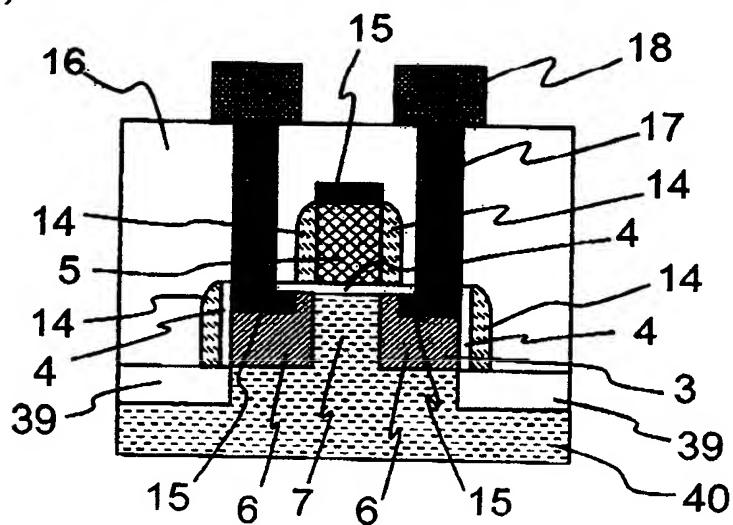


[図75]

(a) A-A' 断面

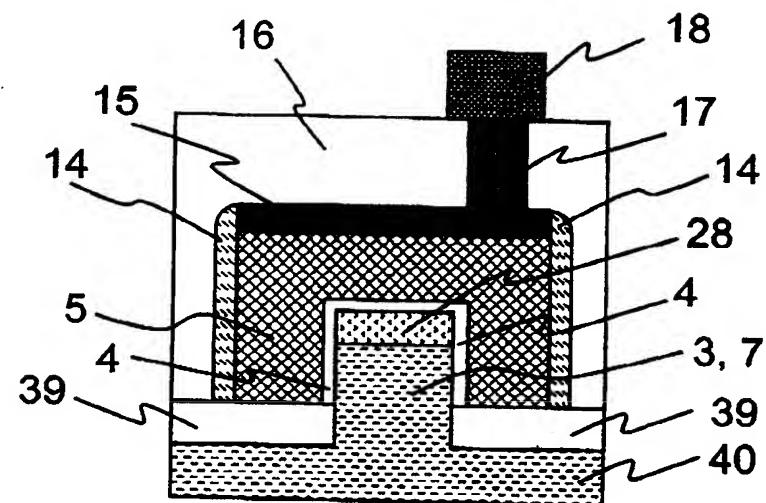


(b) B-B' 断面

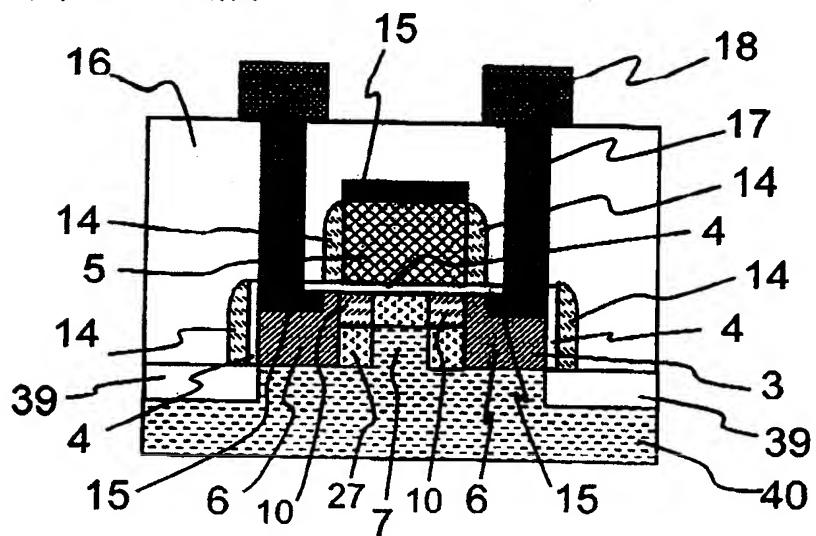


[図76]

(a) A-A' 断面

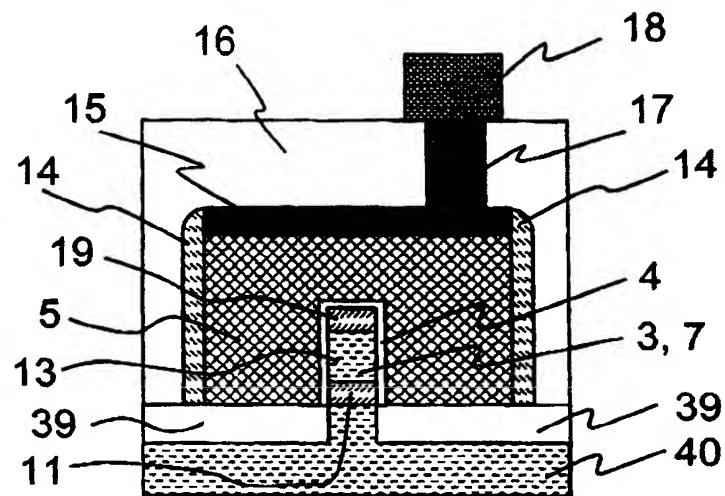


(b) C-C' 断面

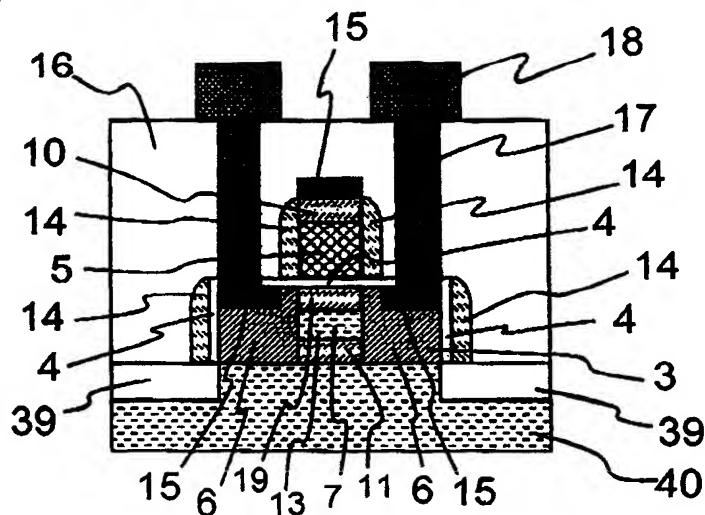


[図77]

(a) A-A' 断面

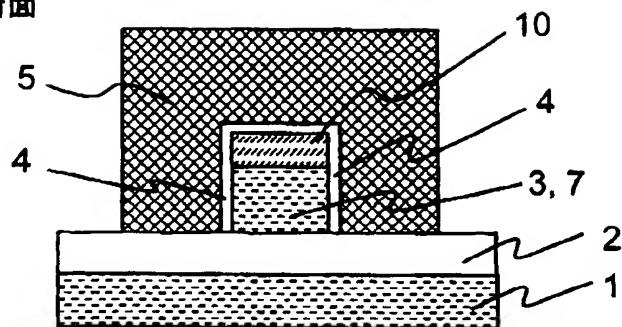


(b) B-B' 断面

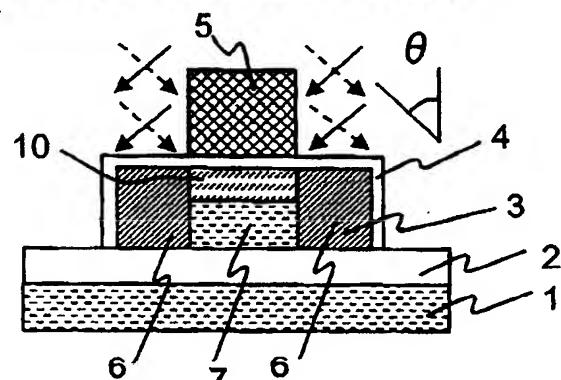


[図78]

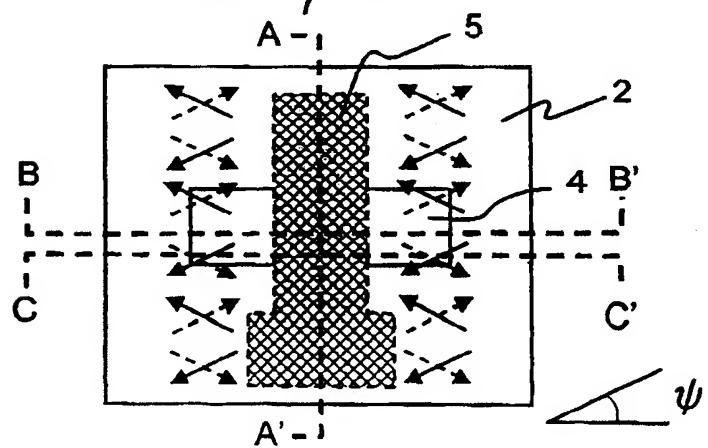
(a) A-A' 断面



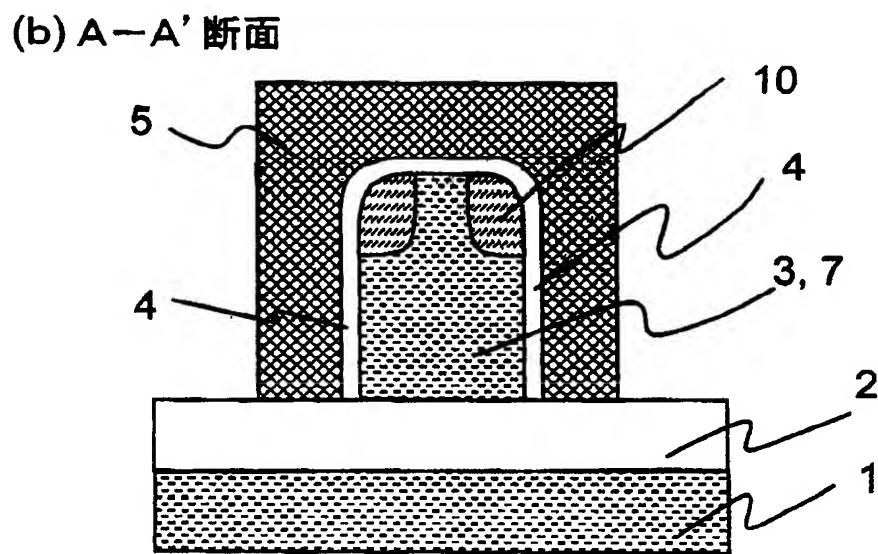
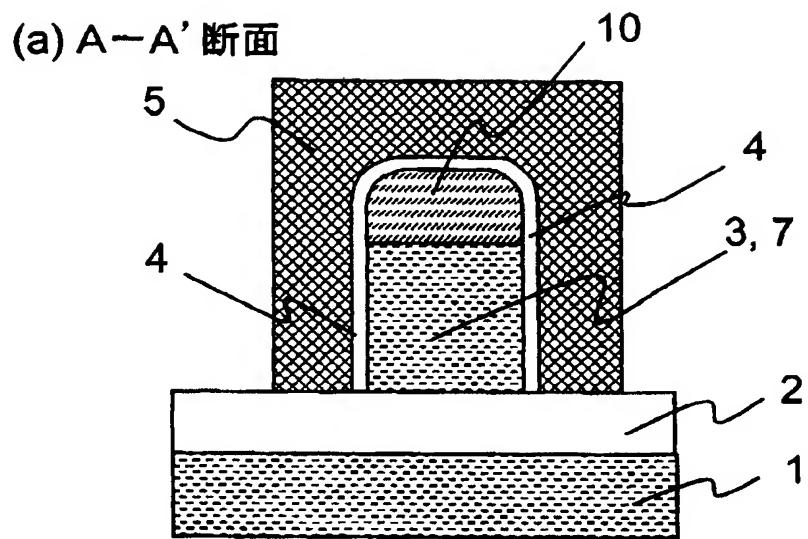
(b) C-C' 断面



(c)

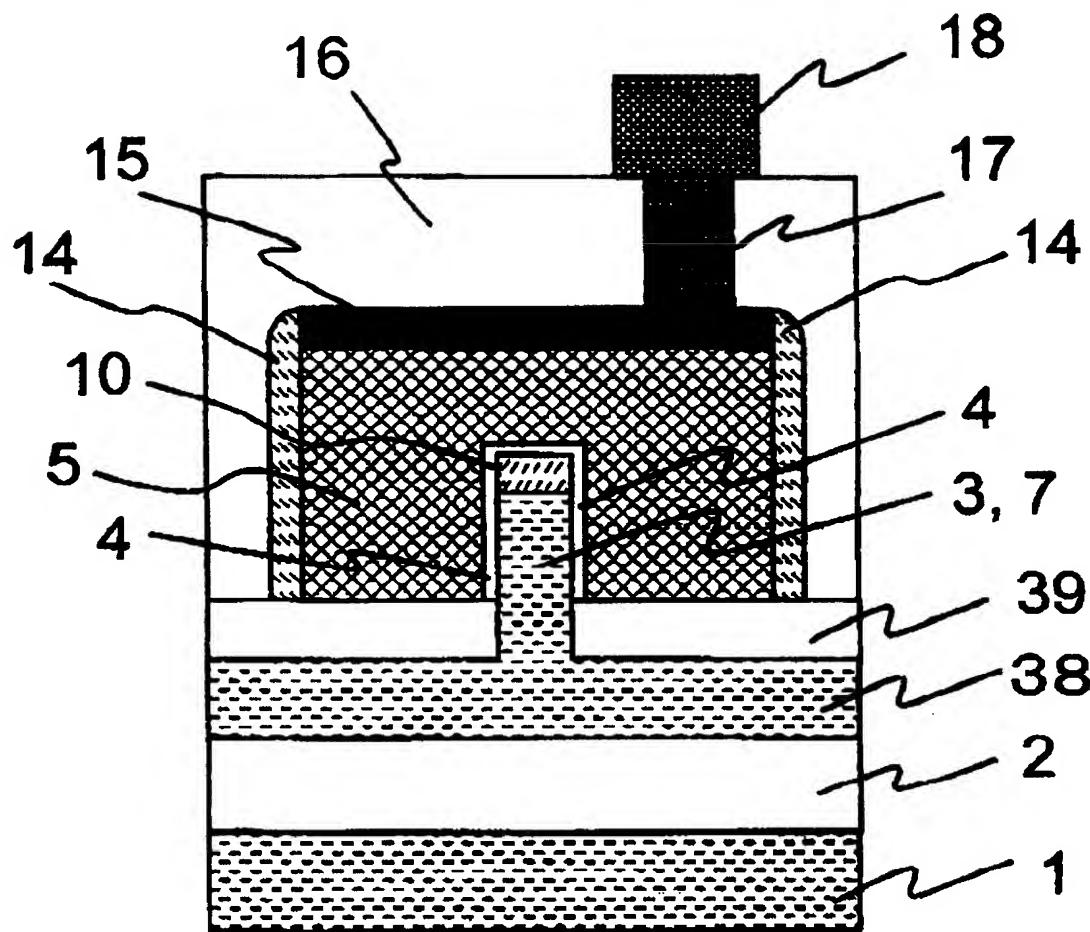


[図79]



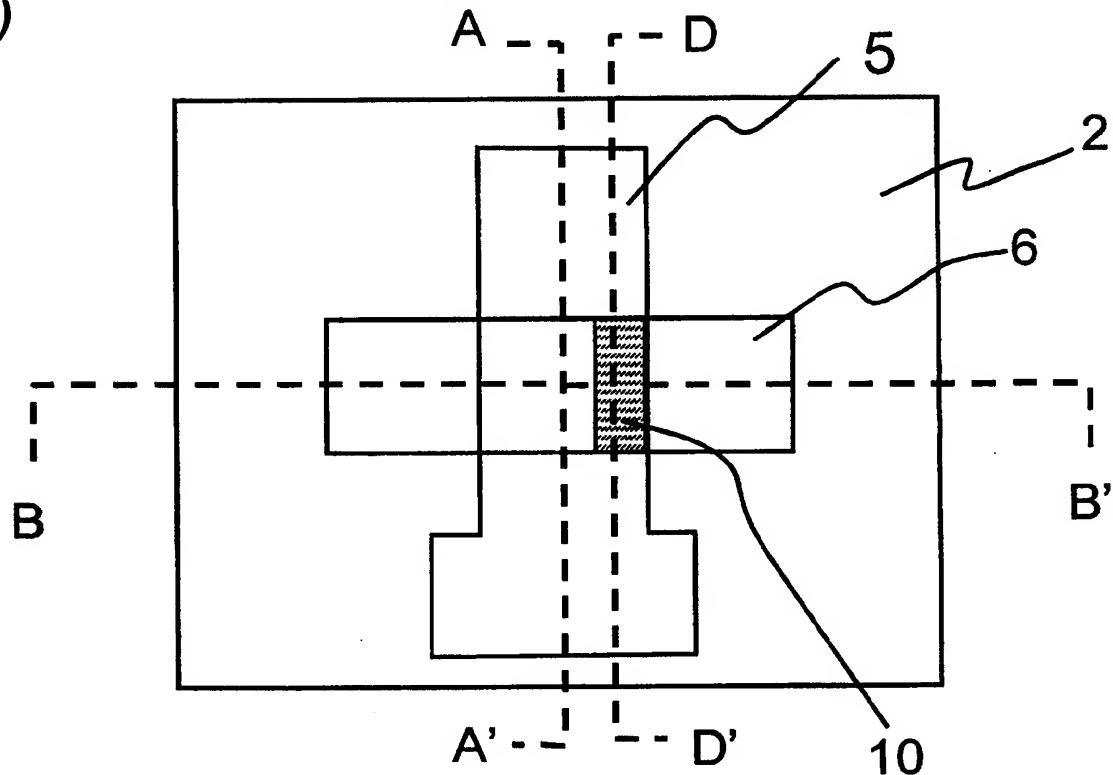
[図80]

A-A' 断面

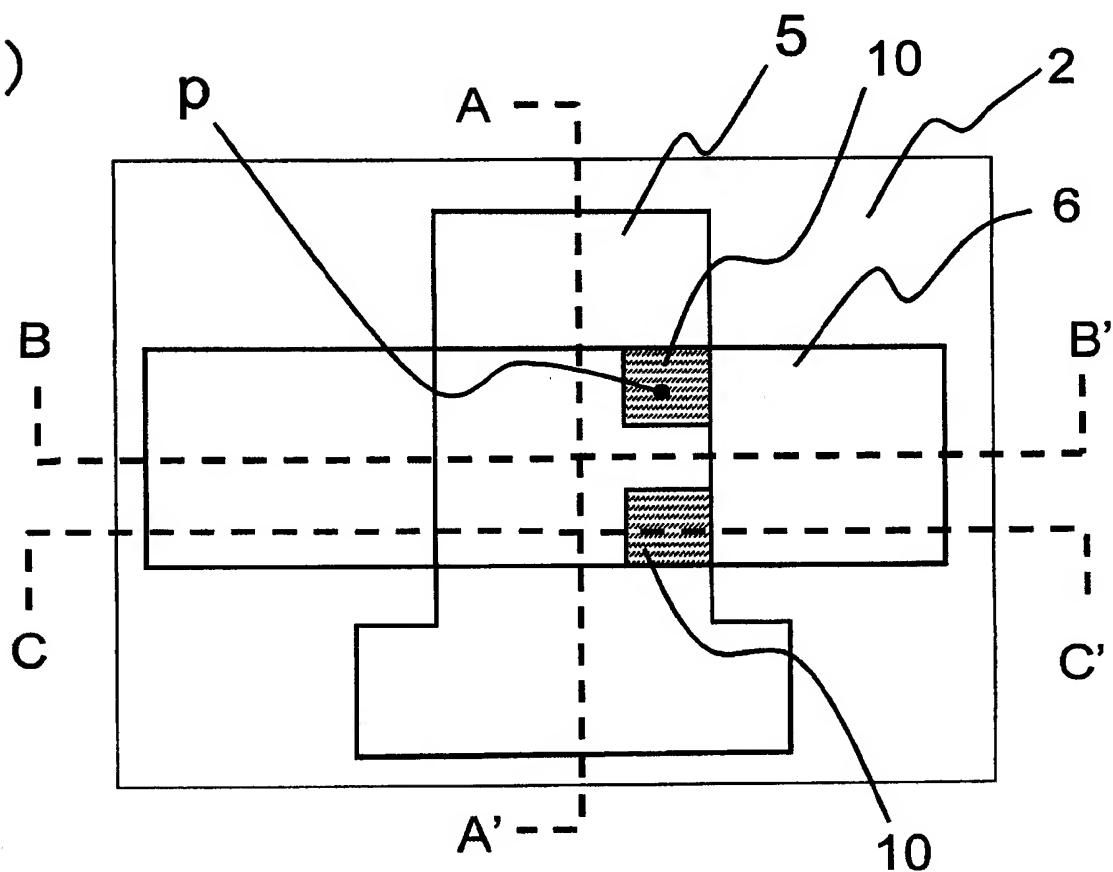


[図81]

(a)

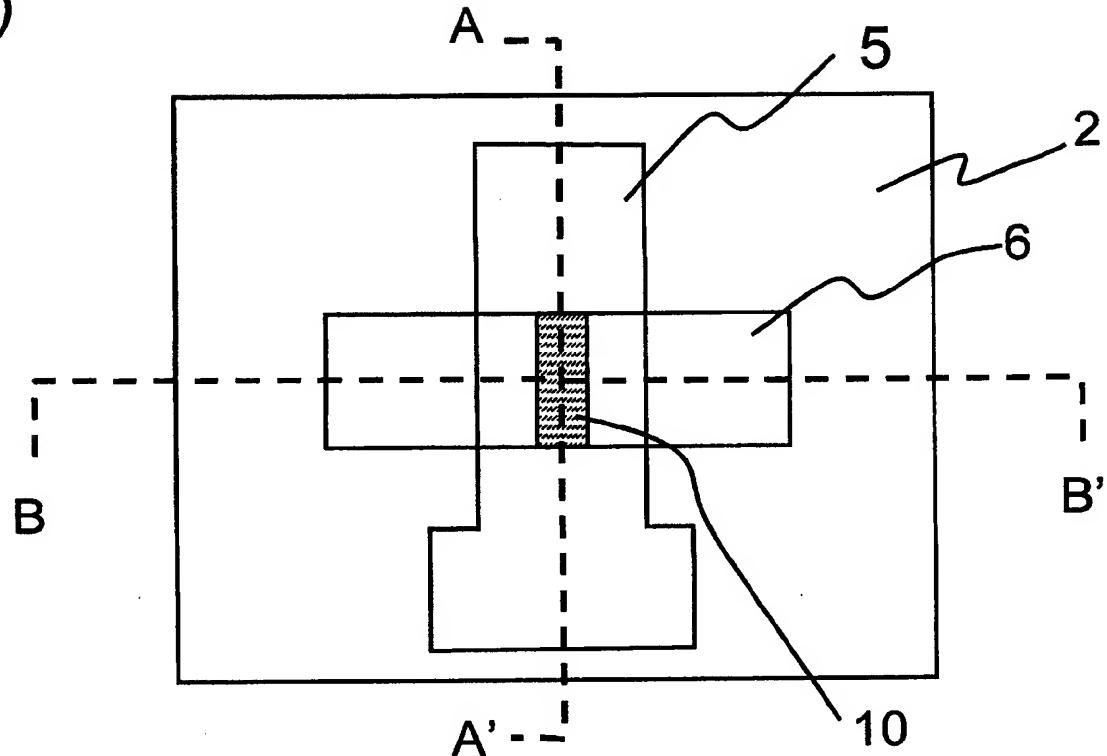


(b)

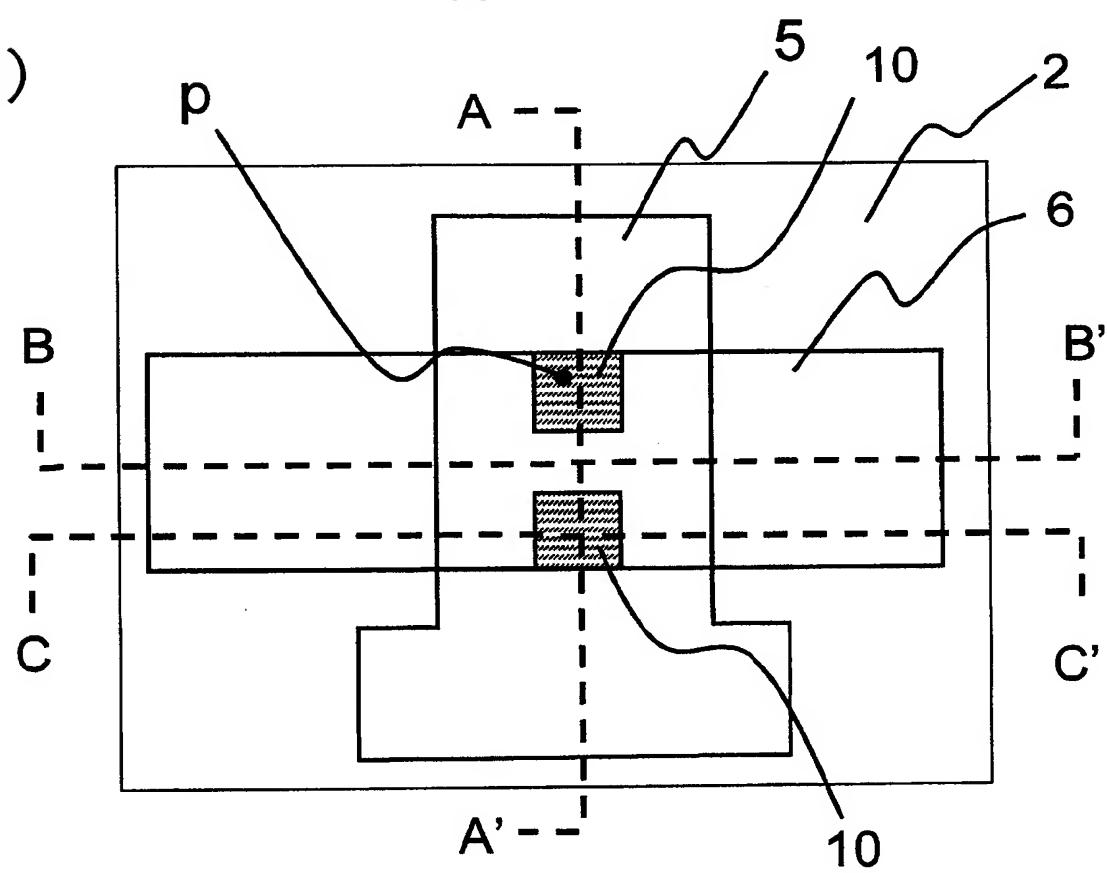


[図82]

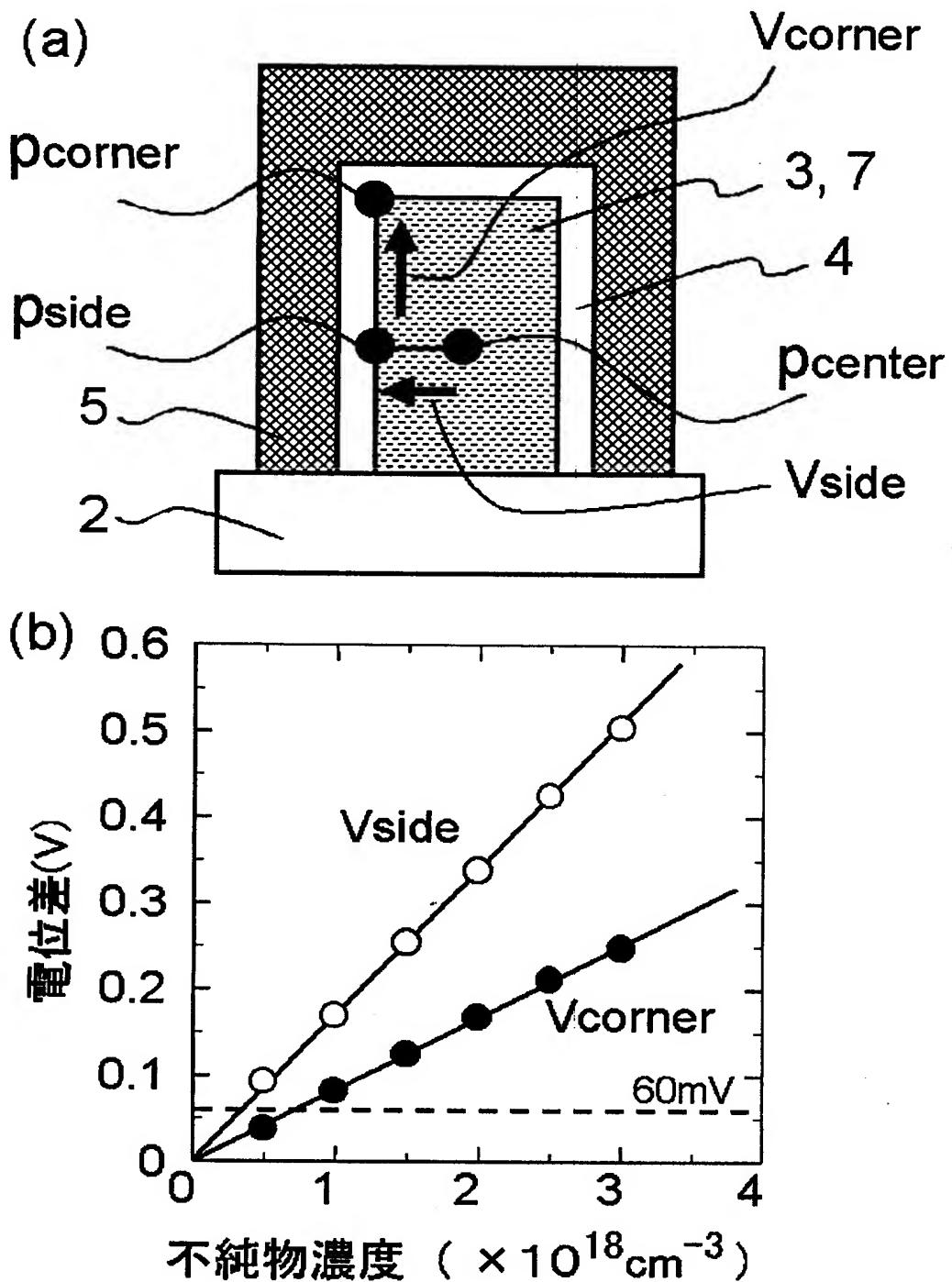
(a)



(b)



[図83]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001207

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/78, 21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, 21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-302817 A (Kawasaki Steel Corp.), 28 October, 1994 (28.10.94), Full text; all drawings (Family: none)	1-69
A	JP 2002-110963 A (Toshiba Corp.), 12 April, 2002 (12.04.02), Full text; all drawings & US 2002/0036290 A1	1-69

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 April, 2005 (14.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H01L29/78, 21/336

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H01L29/78, 21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-302817 A (川崎製鉄株式会社) 1994. 10. 28, 全文、全図 (ファミリーなし)	1-69
A	JP 2002-110963 A (株式会社東芝) 2002. 04. 12, 全文、全図 & US 2002/0036290 A1	1-69

〔 C 欄の続きにも文献が列挙されている。

〔 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14. 04. 2005

国際調査報告の発送日

10.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

綿引 隆

4M 2934

電話番号 03-3581-1101 内線 3460